



IFW

PATENT
Attorney Docket No.: SAM-0522
Customer No.: 29344

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Hee-Cheol Choi Examiner: Not Yet Assigned
Serial No.: 10/823,859 Group Art Unit: Not Yet Assigned
Filing Date: April 14, 2004
Title: APPARATUS AND METHOD FOR AMPLIFYING ANALOG
SIGNAL AND ANALOG PREPROCESSING CIRCUITS AND
IMAGE PICK-UP CIRCUITS

CERTIFICATE OF MAILING UNDER 37 C.F.R. § 1.8

I hereby certify that this correspondence is being deposited with the United States Post Office as First Class Mail on the date indicated below in an envelope addressed to Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

5-25-04

Date

Vanessa Marakas
Vanessa Marakas

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL LETTER

Sir:

Enclosed herewith for filing in the above-identified patent application please find the following listed items:

1. Transmittal of Priority Document;
2. Certified Copy of Priority Document - Korean Application No. 03-51552; and
3. Return Postcard.

In connection with the foregoing matter, please charge any additional fees which may be due, or credit any overpayment, to Deposit Account Number 50-1798. A duplicate copy of this letter is provided for this purpose.

Respectfully submitted,

Date: May 25, 2004
Mills & Onello, LLP
Eleven Beacon Street, Suite 605
Boston, MA 02108
Telephone: (617) 994-4900
Facsimile: (617) 742-7774
J:\SAM\0522\transprior.doc.wpd

Steven M. Mills
Steven M. Mills
Registration Number 36,610
Attorney for Applicant



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Hee-Cheol Choi Examiner: Not Yet Assigned
Serial No.: 10/823,859 Group Art Unit: Not Yet Assigned
Filing Date: April 14, 2004
Title: APPARATUS AND METHOD FOR AMPLIFYING ANALOG
SIGNAL AND ANALOG PREPROCESSING CIRCUITS AND
IMAGE PICK-UP CIRCUITS

CERTIFICATE OF MAILING UNDER 37 C.F.R. § 1.8

I hereby certify that this correspondence is being deposited with the United States Post Office as First Class Mail on the date indicated below in an envelope addressed to Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

5-25-04
Date

Vanessa Marakas
Vanessa Marakas

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF PRIORITY DOCUMENT

Sir:

Transmitted herewith for filing in the captioned application is the certified copy of the Korean Priority document, Korean patent application No. 03-51552.

Respectfully submitted,

Date: May 25, 2004
Mills & Oneffo, LLP
Eleven Beacon Street, Suite 605
Boston, MA 02108
Telephone: (617) 994-4900
Facsimile: (617) 742-7774
J:\SAM\0522\prioritydoctrans.wpd

Steven M. Mills
Steven M. Mills
Registration Number 36,610
Attorney for Applicant



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0051552
Application Number

출원년월일 : 2003년 07월 25일
Date of Application JUL 25, 2003

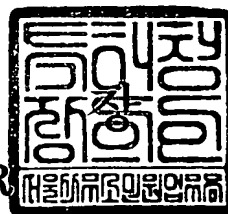
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 04 월 19 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【제출일자】 2003.07.25
【발명의 명칭】 증폭기 및 그 증폭방법과 이를 이용한 아날로그 처리회로 및 이
 미지 픽업회로
【발명의 영문명칭】 Apparatus and method for amplifying analog signal and analog
 pre-processing circuits and image pick-up circuits
【출원인】
【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3
【대리인】
【성명】 박영우
【대리인코드】 9-1998-000230-2
【포괄위임등록번호】 1999-030203-7
【발명자】
【성명의 국문표기】 최희철
【성명의 영문표기】 CHOI, Hee Cheol
【주민등록번호】 680930-1037719
【우편번호】 442-735
【주소】 경기도 수원시 팔달구 영통동 967-2 신나무실극동아파트 612동
 1202 호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의
 한 출원심사 를 청구합니다. 대리인
 박영우 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 36 면 36,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 30 항 1,069,000 원
【합계】 1,134,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 아날로그 전치회로에 관한 것으로, 본 발명의 회로는 이미지센서로부터 출력된 이미지신호를 상관이중샘플링하고, $k(= m+n, k, m$ 및 n 은 자연수) 비트의 게인제어신호의 상위 m 비트에 응답하여 전체 게인 범위를 2^m 단계로 조악하게 증폭하는 상관이중샘플러와, 상관이중 샘플러에서 샘플 증폭된 신호를 게인제어신호의 하위 n 비트에 응답하여 2^n 개의 서브 게인범위 각각을 2^n 단계로 세밀하게 증폭하는 프로그램어블 게인 증폭기를 포함한다.

따라서, 본 발명에서는 아날로그신호를 분할 증폭함으로써 회로 구성을 간략화 함으로써 집적회로 설계시 설치면적을 줄일 수 있다.

【대표도】

도 12

【명세서】**【발명의 명칭】**

증폭기 및 그 증폭방법과 이를 이용한 아날로그 처리회로 및 이미지 픽업회로{Apparatus and method for amplifying analog signal and analog pre-processing circuits and image pick-up circuits}

【도면의 간단한 설명】

도 1은 일반적인 AFE 회로의 구성도.

도 2는 일반적인 영상처리용 AFE 회로의 구성도.

도 3은 종래의 2단 증폭기타입의 CDS의 구성도.

도 4는 본 발명에 의한 프로그램 게인 제어 분할 타입 증폭기의 구성도.

도 5는 도 4의 제1 증폭부의 일실시예의 회로도.

도 6은 도 4의 제2증폭부의 일실시예의 회로도.

도 7은 도 5의 제1증폭부의 게인특성을 나타낸 그래프

도 8은 도 6의 제2증폭부의 게인특성을 나타낸 그래프.

도 9는 도 4의 증폭기의 전체 게인특성을 나타낸 그래프.

도 10은 본 발명에 의한 이미지 픽업회로의 구성도.

도 11은 도 10의 동작을 설명하기 위한 파형도.

도 12는 도 10의 AFE 회로의 바람직한 일실시예의 구성도.

도 13은 도 12의 CDS의 바람직한 일실시예의 회로도.

도 14는 도 12의 PGA의 바람직한 일실시예의 회로도.

도 15는 도 12의 클럭발생기의 구성도.

도 16은 도 15의 오버랩핑 금지회로의 상세회로도.

도 17은 클럭신호의 오버랩핑이 없는 경우에 도 16의 각부 파형도.

도 18은 클럭신호의 오버랩핑이 있는 경우에 도 16의 각부 파형도.

도 19는 도 10의 CDS 및 PGA의 전체 게인 특성을 나타낸 그래프.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<20> 본 발명은 아날로그 증폭기 및 증폭방법과 이를 이용한 아날로그 처리회로 및 이미지 픽업회로에 관한 것으로서, 특히 이미지 센서로부터 픽업된 이미지신호를 디지털 신호로 변환하기 위한 아날로그 프론트 엔드(AFE : analog front end)에서 개선된 유사로그 스케일 게인특성을 가진 증폭기에 관한 것이다.

<21> 최근 반도체 기술의 발전으로 전기전자 제품의 경박단소화와 디지털화가 급속히 진행되고 있다. 특히 아날로그 시스템과 디지털 시스템의 온칩(on-chip)화 기술이 보편화되어 감에 따라 더욱 가속화되고 있다.

<22> 이와 같은 시스템 온칩(SOC : system on chip) 기술에서는 외부의 아날로그 신호를 입력하여 시스템 내부에서 디지털 신호로 처리하기 위하여 외부 입력단자와 디지털신호처리부 사이를 인터페이싱하는 아날로그 프론트 엔드(AFE : analog front end)부를 포함한다.

- <23> 도 1을 참조하면, 일반적으로 AFE부(10)는 아날로그 입력신호(12)를 증폭하는 입력증폭기(14)와 증폭된 신호를 디지털신호(20)로 변환시키는 아날로그 디지털 변환기(ADC)(18)를 포함한다. 여기서 입력증폭기(14)는 다양한 입력특성에 적응하기 위하여 게인 조절이 가능한 프로그램어블 게인 증폭기(PGA : programmable gain amplifier)를 사용한다.
- <24> PGA(14)는 통상적으로 연산증폭기와 이득 조정용 저항 어레이 또는 커패시터 어레이를 포함한다. 외부 게인제어신호(16)에 응답하여 저항 어레이 또는 커패시터 어레이의 스위칭 조합을 프로그래밍함으로써 연산증폭기의 게인을 프로그램한다.
- <25> 이와 같은 AFE회로에서 설계시 가장 복잡하고 처리속도에 영향을 미치는 부분이 PGA 블록이다. PGA의 집적회로 설계시 CMOS 방식에서는 커패시터의 비율을 이용한 게인 프로그램을 구현하고 있다. 통상적으로 게인조정값은 6비트 및 8비트를 사용한다.
- <26> AFE회로에서 PGA를 구동하는 신호는 전단에 설치된 상관 이중 샘플기 (CDS : correlated double sample)에서 공급된다. PGA의 게인특성이 선형적이고 게인이 높은 경우에는 PGA 입력 커패시터의 값이 가장 커지게 된다. 따라서, PGA의 입력 커패시터의 부하가 가장 큰 경우의 부하 조건을 기준으로 CDS를 구성하여야 하므로 CDS의 사이즈가 커지고 처리속도도 제한되는 문제점이 있다.
- <27> 그러므로, 이러한 문제의 해결책으로 PGA의 게인특성을 선형적으로 하지 않고 로그 스케일 방식으로 설계하는 것이 사이즈 및 처리속도 면에서 선형방식에 비해 유리하다.
- <28> 그러나, 완전 로그 스케일을 구현하기 위해서는 이득 조정용 커패시터의 비율이 소숫점 이하의 값까지 설계하여야 하나 이는 집적회로공정상 구현이 매우 곤란하다. 따라서, AFE 집적

회로 칩을 제작하는 제조회사들에서는 단위 커패시터의 조합으로 로그 스케일에 근사적인 유사 로그 스케일 방식으로 구현하고 있다.

<29> 유사로그 스케일이란 로그 스케일 상에서 게인제어신호에 대한 게인특성이 완전 선형적이지는 않지만 근사한 특성을 가진 것을 말한다.

<30> 디지털 카메라, 디지털 스캐너와 같이 이미지센서, 예컨대 CCD(charge coupled device) 또는 CIS(cmos image sensor)로부터 픽업된 이미지신호를 입력하여 처리하는 영상처리용 AFE회로(30)는 도 2에 도시한 바와 같이 PGA(14) 및 ADC(18) 이외에 PGA(14) 전단에 CDS(13)를 더 포함한다.

<31> 기존의 영상처리용 AFE 집적회로 칩으로는 HOLTEX 사의 HT82V26(16비트 CCD/CIS 아날로그 신호 프로세서), WOLFSON 사의 WM8196(16비트 CIS/CCD AFE/Digitiser), EXAR사의 XRD98L59(CCD 이미지 디지털라이저)등이 소개되고 있다.

<32> CDS(13)는 입력신호의 영상기준레벨신호와 영상신호를 각각 순차적으로 샘플링하여 그 차신호를 PGA(14)에 제공한다.

<33> 따라서, 일반적인 종래의 영상처리용 AFE부(30)의 CDS(13)는 도 3에 도시한 바와 같이 싱글 엔드 증폭기(13-1)와 차동증폭기(13-2)의 2단 캐스케이드(CASCADE) 연결 구성을 한다. 이와 같은 종래의 CDS는 일본공개특허 평14-057945호, 한국공개특허 2002-38047호 등에 개시되어 있다.

<34> 그러므로, 종래의 영상처리용 AFE부의 회로구성이 복잡하고 PGA의 게인제어범위의 증가에 따라서 게인제어용 소자 어레이들의 수도 증가되므로 AFE 칩에서 PGA가 차지하는 면적이 증가되므로 VLSI 설계를 곤란하게 한다.

【발명이 이루고자 하는 기술적 과제】

- <35> 본 발명의 목적은 상술한 종래 기술의 문제점을 해결하기 위하여 보다 근사적인 로그 스케일 특성을 가진 개선된 아날로그 증폭기 및 증폭방법을 제공하는 데 있다.
- <36> 본 발명의 다른 목적은 CDS와 PGA로 전체 게인조절을 분할함으로써 회로구성을 간략화할 수 있어서 칩 소요 면적을 줄일 수 있는 개선된 아날로그 전치회로를 제공하는 데 있다.
- <37> 본 발명의 또 다른 목적은 영상신호를 CDS에서 풀 스케일로 레벨쉬프트가 가능한 아날로그 전치회로를 제공하는 데 있다.
- <38> 본 발명의 또 다른 목적은 사이즈 및 처리속도를 개선한 아날로그 프론트 엔드 회로를 제공하는 데 있다.
- <39> 본 발명의 또 다른 목적은 신호처리 특성이 개선된 이미지 픽업회로를 제공하는 데 있다.

【발명의 구성 및 작용】

- <40> 상기 목적을 달성하기 위하여 본 발명의 증폭기는 아날로그 입력신호를 $k(= m+n, k, m$ 및 n 은 자연수) 비트의 게인제어신호의 상위 m 비트에 응답하여 전체 게인 범위를 2^m 단계로 조악(coarse)하게 증폭하는 제1증폭부와, 제1증폭기에서 증폭된 신호를 상기 게인제어신호의 하위 n 비트에 응답하여 2^n 개의 서브 게인범위 각각을 2^n 단계로 세밀(fine)하게 증폭하는 제2증폭부를 구비한다. 따라서, 본 발명에서는 제어값에 대한 전체 게인 특성이 완전 로그 스케일에 근접한 유사 로그 스케일 특성을 가진다.

- <41> 본 발명의 증폭기에서 제1증폭부는 $Z1$ 은 단위값, $Z2 = 2^{(x-1)}$ ($0 = x = 2^m - 1$)일 때, $G = Z2/Z1$ 의 게인특성을 가지도록 구성한다. 또한, 제2증폭부는 $Z2 = 2^{(n+1)}$, $Z1 = 2^{(n+1)-(y+1)}$ ($0 = y = 2^n - 1$)일 때, $G = Z2/Z1$ 의 게인특성을 가지도록 구성한다.
- <42> 본 발명의 증폭방법은 아날로그 입력신호를 $k (= m+n)$, k , m 및 n 은 자연수) 비트의 게인 제어신호의 상위 m 비트에 응답하여 전체 게인 범위를 2^m 단계로 조악하게 증폭하고, 상기 조악하게 증폭된 신호를 상기 게인제어신호의 하위 n 비트에 응답하여 2^n 개의 서브 게인범위 각각을 2^n 단계로 세밀하게 증폭한다.
- <43> 본 발명의 다른 목적을 달성하기 위한 아날로그 전치회로는 이미지센서로부터 출력된 이미지신호를 상관이중샘플링하고, $k (= m+n)$, k , m 및 n 은 자연수) 비트의 게인제어신호의 상위 m 비트에 응답하여 전체 게인 범위를 2^m 단계로 조악하게 증폭하는 상관이중샘플러와, 상기 상관이중 샘플러에서 샘플 증폭된 신호를 상기 게인제어신호의 하위 n 비트에 응답하여 2^n 개의 서브 게인범위를 2^n 단계로 세밀하게 증폭하는 프로그램어블 게인 증폭기를 구비한다.
- <44> 본 발명에서 아날로그 전치회로(APP : analog pre-processing circuits)란 아날로그신호를 디지털 데이터신호로 디지털타이징하기 위한 적절한 크기의 신호로 변환하기 위해 아날로그 입력단자와 아날로그 디지털 변환기 사이에 배치되어 입력된 아날로그 신호를 샘플링하고 증폭하는 회로를 말한다.
- <45> 아날로그 프론트 엔드 회로(AFE : analog front end)란 아날로그 신호를 디지털 신호처리하기 위한 디지털 시스템에서 아날로그 신호를 디지털타이징하기 위한 블록으로, 아날로그 전치회로와 아날로그 디지털 변환기를 하나의 칩상에 집적화시킨 회로를 말한다.

- <46> 본 발명에서 상관이중샘플러는 하나의 연산 증폭기로 구성된다. 상관이중샘플러는 반전 및 비반전 입력단자들과 반전 및 비반전 출력단자들을 가진 연산증폭기와, 상기 반전 입력단자와 제1노드 사이에 연결되고 상기 m 비트에 응답하여 2^m 단계로 값이 가변되는 제1임피던스소자와, 제1샘플링 클럭에 응답하여 상기 제1노드에 상기 이미지신호의 기준입력신호를 샘플링하기 위한 제1샘플링 스위치와, 제2샘플링 클럭에 응답하여 상기 제1노드에 상기 이미지신호의 영상신호를 샘플링하기 위한 제2샘플링 스위치와, 상기 반전 입력단자와 상기 비반전 출력단자 사이에 연결되고 단위 임피던스값을 가진 제2임피던스소자와, 상기 제2샘플링 클럭에 응답하고, 상기 제2임피던스소자에 직렬로 연결된 제3샘플링 스위치를 포함한다.
- <47> 본 발명에서 샘플링 스위치는 트랜지스터로 구성하고 임피던스 소자는 CMOS 방식에서 커패시터로 구성하는 것이 바람직하다.
- <48> 또한, 상관이중샘플러는 상기 비반전 입력단자와 제2노드 사이에 연결되고 상기 m 비트에 응답하여 2^m 단계로 값이 가변되는 제3임피던스소자와, 상기 제1샘플링 클럭에 응답하여 상기 제2노드에 제1레벨기준신호를 샘플링하기 위한 제4샘플링 스위치와, 상기 제2샘플링 클럭에 응답하여 상기 제2노드에 피드백신호를 샘플링하기 위한 제5샘플링 스위치와, 상기 비반전 입력단자와 상기 반전 출력단자 사이에 연결되고 단위 임피던스값을 가진 제4임피던스소자와, 상기 제2샘플링 클럭에 응답하고, 상기 제4임피던스소자에 직렬로 연결된 제6샘플링 스위치를 포함한다.
- <49> 본 발명의 제1 및 제2 샘플링 클럭들은 액티브 구간이 필연적으로 서로 오버랩핑되지 않도록 구성한다.
- <50> 본 발명에서 제2 및 제4 임피던스 소자들은 단위 커패시터로 구성하는 것이 바람직하고, 제1 및 제3 임피던스 소자들은 $Z = 2^{(x-1)}$ ($0 = x = 2^m - 1$)으로 가변 제어된다.

<51> 본 발명의 상관이중샘플러는 샘플링된 영상신호의 레벨을 시프트하기 위한 레벨쉬프터를 더 구비한다. 레벨쉬프터는 상기 제2임피던스소자와 상기 제3샘플링 스위치 사이의 제3노드에, 상기 제1샘플링 클럭에 응답하여 상기 제1레벨기준신호를 결합하기 위한 제7샘플링 스위치와, 상기 제1샘플링 클럭에 응답하여 제2레벨기준신호를 결합하기 위한 제8샘플링 스위치와, 상기 제1샘플링 클럭에 응답하여 제3레벨기준신호를 결합하기 위한 제9샘플링 스위치들이 공통으로 연결된다. 또한, 레벨쉬프터는 상기 제4임피던스소자와 상기 제6샘플링 스위치 사이의 제4노드에, 상기 제1샘플링 클럭에 응답하여 상기 제1레벨기준신호를 결합하기 위한 제10샘플링 스위치와, 상기 제1샘플링 클럭에 응답하여 제2레벨기준신호를 결합하기 위한 제11샘플링 스위치와, 상기 제1샘플링 클럭에 응답하여 제3레벨기준신호를 결합하기 위한 제12샘플링 스위치들이 공통으로 연결된다. 여기서, 제1레벨은 저레벨, 예컨대 블랙레벨이고, 상기 제2레벨은 중레벨, 예컨대 공통 레벨이고 상기 제3레벨은 고레벨, 예컨대 화이트 레벨로 구성한다.

<52> 본 발명에서 프로그램어블 게인 증폭기는 반전 및 비반전 입력단자들과 반전 및 비반전 출력단자들을 가진 연산증폭기와, 상기 상관이중샘플러의 비반전 출력단자에 연결된 제1단자와, 상기 연산증폭기의 비반전출력단자에 연결된 제2단자와, 중레벨기준신호에 연결된 제3단자를 포함하고 상기 제2샘플링 클럭 및 상기 하위 n비트에 응답하여 상기 제1 내지 제3단자들을 고정단자에 스위칭하는 $2^{(n+1)}$ 개의 제1 스위치 어레이와, 상기 반전 입력단자와 상기 제1스위치 어레이의 각 고정단자들 사이에 연결된 $2^{(n+1)}$ 개의 제1임피던스소자들과, 상기 상관이중샘플러의 반전 출력단자에 연결된 제1단자와, 상기 연산증폭기의 반전 출력단자에 연결된 제2단자와, 상기 중레벨기준신호에 연결된 제3단자를 포함하고 제2샘플링 클럭 및 상기 하위 n비트에 응답하여 상기 제1 내지 제3단자들을 고정단자에 스위칭하는 $2^{(n+1)}$ 개의 제2 스위치 어레이와, 상

기 비반전 입력단자와 상기 제2스위칭 어레이의 각 고정단자들 사이에 연결된 $2^{(n+1)}$ 개의 제2 임피던스소자들을 포함한다.

<53> 제1 및 제2 임피던스소자들 각각은 단위 커패시터로 구성한다. 프로그램어블 게인 증폭기는 $Z2 = 2^{(n+1)}$, $Z1 = 2^{(n+1)} - (y+1)$ ($0 = y = 2^n - 1$)일 때, $G = Z2/Z1$ 의 게인특성을 가진다.

<54> 본 발명에서 제1 및 제2 샘플링 클럭은 오버래핑 금지회로를 통하여 발생되고, 상기 오버래핑 금지회로는 제1클럭신호를 버퍼링하는 제1입력버퍼와, 제2클럭신호를 버퍼링하는 제2입력버퍼와, 상기 버퍼링 제1클럭신호와 제1피드백신호를 조합하는 제1로직회로와, 상기 버퍼링 제2클럭신호와 제2피드백신호를 조합하는 제2로직회로와, 상기 제1로직회로의 출력신호를 지연시켜서 상기 제2피드백신호를 발생하는 제1지연기와, 상기 제2로직회로의 출력신호를 지연시켜서 상기 제1피드백신호를 발생하는 제2지연기와, 상기 제2피드백신호를 버퍼링하여 제1샘플링 클럭을 발생하는 제1출력버퍼와, 상기 제1피드백신호를 버퍼링하여 제2샘플링 클럭을 발생하는 제2출력버퍼를 포함한다. 여기서, 제1샘플링 클럭은 제2피드백신호와 위상이 반대이고, 제2샘플링 클럭은 제1피드백신호와 위상이 반대이다.

<55> 본 발명에서 아날로그 프론트 엔드 회로는 이미지센서로부터 출력된 이미지신호를 상관이중샘플링하고, $k(= m+n, k, m$ 및 n 은 자연수) 비트의 게인제어신호의 상위 m 비트에 응답하여 전체 게인 범위를 2^m 단계로 조약하게 증폭하는 상관이중샘플러와, 상기 상관이중 샘플러에서 샘플 증폭된 신호를 상기 게인제어신호의 하위 n 비트에 응답하여 2^n 개의 서브 게인범위를 2^n 단계로 세밀하게 증폭하는 프로그램어블 게인 증폭기와, 상기 프로그램어블 게인 증폭기로부터 제공된 신호를 디지털 데이터 신호로 디지털타이징하는 아날로그 디지털 변환기를 포함한다.

- <56> 본 발명에서 k 는 6 내지 10이 바람직하고 8이 가장 바람직하다. 8인 경우 m 은 2이고 n 은 6이 이상적이다.
- <57> 본 발명에서 AFE 회로는 상관이중샘플러에 오프셋 보정신호를 제공하기 위한 디지털 아날로그 변환기, 상관이중샘플러의 상기 이미지신호 입력단자를 리셋주시키 클램핑하기 위한 클램프부, 상관이중샘플러의 풀 스케일 레벨쉬프팅을 위하여 저레벨, 중레벨 및 고레벨 기준신호를 각각 발생하는 기준신호 발생기, 상관이중샘플러의 제1 및 제2샘플링클럭들이 서로 오버랩되는 것을 금지하기 위한 클럭발생기, 외부로부터 제공된 상기 상관이중샘플러 및 프로그램어블 게인 증폭기의 게인조정값, 상관이중샘플러의 풀 스케일 조정값, 오프셋 조정값 및 입력 클램핑 레벨 조정값을 저장하고 이를 각 부에 제공하는 제어부를 포함한다.
- <58> 본 발명에서 3채널 AFE는 컬러 이미지 센서로부터 각각 출력된 복수의 컬러이미지신호들 각각을 상관이중샘플링하고, $k(= m+n, k, m$ 및 n 은 자연수) 비트의 게인제어신호의 상위 m 비트에 응답하여 전체 게인 범위를 2^m 단계로 조악하게 증폭하는 복수의 상관이중샘플러들과, 복수의 상관이중 샘플러들에서 각각 샘플 증폭된 신호를 상기 게인제어신호의 하위 n 비트에 응답하여 2^n 개의 서브 게인범위 각각을 2^n 단계로 세밀하게 증폭하는 복수의 프로그램어블 게인 증폭기와, 복수의 프로그램어블 게인 증폭기들로부터 각각 출력된 신호들을 멀티플렉싱하는 멀티플렉서와, 멀티플렉서로부터 제공된 멀티플렉싱된 신호를 디지털 데이터 신호로 디지털화하는 아날로그 디지털 변환기를 포함한다.
- <59> 본 발명에서 이미지 픽업회로는 피사체로부터 반사된 광을 픽업하여 이미지 신호를 출력하는 이미지 센서와, 이미지 센서로부터 출력된 이미지신호들 상관이중샘플링하고, $k(= m+n, k, m$ 및 n 은 자연수) 비트의 게인제어신호의 상위 m 비트에 응답하여 전체 게인 범위를 2^m 단계로 조악하게 증폭하고, 상기 샘플 증폭된 신호를 상기 게인제어신호의 하위 n 비트에 응답하

여 2^m개의 서브 게인범위 각각을 2ⁿ 단계로 세밀하게 증폭하고, 증폭된 신호를 디지털 데이터 신호로 디지털타이징하는 아날로그 프론트 엔드회로와, 상기 디지털 데이터를 디지털 영상 처리하는 디지털 영상 처리기와, 상기 각 부에 타이밍 신호를 제공하는 타이밍 제어기와, 상기 각 부를 제어하는 제어부를 포함한다.

<60> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 구체적으로 설명하고자 한다. 이 실시예는 이 기술에 숙련된 자들이 본 발명을 실시할 수 있게 충분히 상세하게 기술한다.

<61> [실시예]

<62> 개선된 유사 로그 스케일 프로그램어블 게인 특성을 가진 아날로그 증폭기

<63> 도 4를 참조하면, 본 발명의 아날로그 증폭기는 2개의 증폭부(40,42)를 종속 2단으로 연결한다. 4비트의 게인제어신호 중 상위 2 비트는 증폭부(40)에 제공하고, 하위 2비트는 증폭부(42)에 제공한다.

<64> 도 5를 참조하면, 증폭부(40)는 반전 및 비반전 입력단자들과 반전 및 비반전 출력단자를 가진 연산증폭기(OP1)와, 임피던스소자들(Z1~Z4), 스위치제어기(SC1)를 포함한다. 여기서 임피던스 소자들(Z1~Z4)은 커패시터로 구성한다. 입력단자(X1)와 연산증폭기(OP1)의 반전입력단자 사이에 임피던스소자(Z1)가 연결되고, 입력단자(X2)와 비반전 입력단자 사이에 임피던스소자(Z3)가 연결된다. 반전 입력단자와 비반전 출력단자(Y1) 사이에 임피던스 소자(Z2)가 연결되고, 비반전 입력단자와 반전 출력단자(Y2) 사이에 임피던스소자(Z4)가 연결된다.

- <65> 임피던스 소자(Z_1, Z_3)는 각각 값이 0.5, 1, 2, 4의 값을 가지는 4개의 병렬커패시터들을 포함한다. 각 커패시터들은 스위치($SW_1 \sim SW_4$)에 의해 병렬접속여부가 결정된다. 스위치($SW_1 \sim SW_4$)는 상위 2 비트에 응답하여 4개의 스위치 구동신호를 발생하는 스위치제어기(SC_1)에 의해 스위칭된다. 따라서, 스위치제어기(SC_1)에 의해 임피던스 소자(Z_1, Z_3)는 임피던스 값이 동일하게 0.5, 1, 2, 4로 가변된다. 임피던스 소자(Z_2, Z_4)는 고정된 단위 임피던스 값, 즉 1의 값을 가진다.
- <66> 따라서, 증폭부(40)는 $Z_1 = 2^{(x-1)}$ ($0 \leq x \leq 3$), Z_2 는 단위값 일 때, 도 7에 도시한 바와 같이 제어값이 0, 1, 2, 3으로 변화되면 게인값은 0.5, 1, 2, 4로 지수함수적으로 증가한다.
- <67> 도 6을 참조하면, 증폭부(42)는 반전 및 비반전 입력단자들과 반전 및 비반전 출력단자를 가진 연산증폭기(OP2)와, 임피던스소자들($Z_5 \sim Z_8$)을 포함한다. 여기서 임피던스 소자들($Z_5 \sim Z_8$)은 커패시터로 구성한다. 입력단자(X_3)와 연산증폭기(OP2)의 반전입력단자 사이에 임피던스소자(Z_5)가 연결되고, 입력단자(X_4)와 비반전 입력단자 사이에 임피던스소자(Z_7)가 연결된다. 반전 입력단자와 비반전 출력단자(Y_3) 사이에 임피던스 소자(Z_6)가 연결되고, 비반전 입력단자와 반전 출력단자(Y_4) 사이에 임피던스소자(Z_8)가 연결된다.
- <68> 임피던스 소자(Z_5, Z_7)는 단위값에 비해 8배 큰 커패시터로 구성하고, 임피던스 소자(Z_6, Z_8)는 각각 7, 6, 5, 4의 값을 가진 4개의 병렬 커패시터로 구성한다. 각 커패시터들은 스위치($SW_5 \sim SW_8$)에 의해 병렬접속여부가 결정된다. 스위치($SW_5 \sim SW_8$)는 하위 2 비트에 응답하여 4개의 스위치 구동신호를 발생하는 스위치제어기(SC_2)에 의해 스위칭된다. 따라서, 스위치제어기(SC_2)에 의해 임피던스 소자(Z_6, Z_8)는 임피던스 값이 동일하게 7, 6, 5, 4로 가변된다.

- <69> 따라서, 증폭부(42)는 $Z5 = 8$, $Z6 = 2^{(n+1)} - (y+1)$ ($0 \leq y \leq 3$)일 때, 도 8에 도시한 바와 같이 8/7, 8/6, 8/5, 8/4로 지수함수적으로 증가한다.
- <70> 즉, 증폭부(40)는 4단계로 조악(coarse)하게 증폭하고, 증폭부(42)는 증폭부(40)의 조악한 증폭단계의 각 스텝의 구간내에서 다시 4단계의 세밀(fine)하게 증폭한다.
- <71> 그러므로, 증폭기 전체의 이득은 캐스케이드로 연결된 2개의 증폭부들(40, 42)의 각 계인의 곱으로 나타난다. 따라서, 4비트의 제어값이 0에서부터 15까지 변화될 때, 전체 이득은 도 9에 도시한 바와 같이, 전압비율에서는 0.57에서부터 8까지 지수함수적으로 증가하고(도 9의 실선), 로그 스케일에서는 거의 선형적으로 증가한다(도 9의 점선). 이를 정리하면 다음 표 1과 같다.

<72> 【표 1】

제어값(k비트)		G1	G2	$G1^{2^{n-1}} G2(v/v)$	dB
상위 m 비트	하위 n 비트				
00	00	0.5	1.143	0.572	-4.852
	01	0.5	1.333	0.667	-3.518
	10	0.5	1.600	0.800	-0.194
	11	0.5	2.000	1.000	0.000
01	00	1	1.143	1.143	1.160
	01	1	1.333	1.333	2.496
	10	1	1.600	1.600	4.082
	11	1	2.000	2.000	6.020
10	00	2	1.143	2.286	7.182
	01	2	1.333	2.666	8.518
	10	2	1.600	3.200	10.102
	11	2	2.000	4.000	12.042
11	00	4	1.143	4.572	13.202
	01	4	1.333	5.332	14.538
	10	4	1.600	6.400	16.124
	11	4	2.000	8.000	18.062

- <73> 전체적으로 본 발명의 증폭기는 로그 스케일 상에서는 거의 선형적으로 변하여 로그 함수에 거의 근사하게 된다.

<74> 또한, 2단으로 분할하여 증폭함으로써 전체 증폭기에서 사용되는 커패시터의 개수도 대폭적으로 감소된다. 예컨대, 하나의 증폭기로 증폭부(42)와 같이 구성하여 16단계로 게인을 조절하기 위해서는 단위 커패시터(C)의 개수로 환산하면 총 $272 = (16+15+14+13+ \dots +2+1) \times 2$ 개의 커패시터가 소요된다. 그러나 본 발명의 경우에는 총 $77 = ((0.5+1+2+4+1) \times 2) + ((8+7+6+5+4) \times 2)$ 개의 커패시터만 소요된다. 뿐만 아니라 스위치 개수가 32개가 필요하지만 본 발명에서는 16개만 소요된다. 그러므로, 본 발명에서는 스위치를 제어하기 위한 스위치 제어기의 구성도 스위치 수에 비례하여 단순하게 되므로, 전체적으로 집적회로로 회로 구성이 간단해지며, 칩 상에서 소요 면적도 대폭 줄어들게 된다.

<75> 상술한 실시예에서 커패시터 및 스위치 구성은 본 발명의 개념을 쉽게 설명하기 위하여 가장 단순한 구성예를 나타낸 것이다. 동일한 개념을 달성하기 위한 다양한 커패시터와 스위치의 조합이 가능하다.

<76> [응용예]

<77> 이미지 센싱 AFE 회로

<78> 도 10을 참조하면, 일반적인 이미지 픽업장치(100)는 이미지센서(102), AFE 회로(104), 디지털 이미지 처리기(DPP : digital post processor)(106), 발진기(108), 타이밍제어기(110), 제어부(112)를 포함한다.

<79> 이미지센서(102)는 CCD 또는 CIS 소자로 구성하여 광이미지를 픽업하여 타이밍제어기(110)에서 제공된 수직 및 수평동기신호에 맞추어 전기적인 이미지 신호로 변환한다.

- <80> AFE(104)는 이미지센서(102)에서 제공된 이미지신호를 입력하여 적당한 크기로 증폭하고 증폭된 신호를 디지털 이미지 데이터신호로 디지털타이징 한다.
- <81> DPP(106)에서는 AFE회로(104)로부터 제공된 디지털 이미지 데이터신호를 후처리하여 데이터신호로 출력한다. 여기서 후처리는 감마보정, 화이트 밸런스 조정 등을 포함할 수 있다.
- <82> 이와 같은 이미지 픽업장치(100)는 DPP(106)에서 정확한 이미지 처리를 보증하기 위해서 AFE회로(104)에서 높은 신호 대 잡음비를 유지하고 충분한 크기로 증폭하고 매우 선형적인 전달특성을 가지지 않으면 안된다.
- <83> 또한, 이미지센서의 고해상도를 수용하기 위해서는 초당 수메가픽셀 내지 수십메가픽셀(MPPS : mega pixel per second)의 처리능력을 가지지 않으면 안된다.
- <84> 따라서, AFE회로는 대용량 고속처리와 저전력을 만족하기 위하여 통상 CMOS 또는 BiCOMS 기술로 형성한다.
- <85> 도 11을 참조하면, 이미지센서에서 출력되는 이미지신호(VIN)는 각 픽셀마다 리셋주기(P1), 블랙레벨주기(P2), 영상신호주기(P3)의 3부분으로 구분된다. 따라서, AFE 회로(104)의 CDS에서는 샘플링 클럭(QC1, QC2)에 의해 P2 주기에서 블랙레벨과 P3주기에서 영상신호를 상관 이중 샘플링하고 1차 조악 증폭한다. 샘플링된 신호는 PGA에서 2차 세밀 증폭된다. 증폭된 신호는 ADCCLK 신호에 의해 디지털 데이터신호(DOUT)로 출력되게 된다.
- <86> 도 12을 참조하면, 본 발명의 AFE 회로는 상술한 실시예의 유사 로그 스케일 증폭기를 적용하기 위하여 통상의 8비트 PGA 게인제어신호를 CDS와 상위 2비트와 하위 6비트로 분할하여 게인을 조절한다.

- <87> AFE회로(104)는 클램프부(202), 디지털 아날로그 변환기(204), CDS(206), 디지털 아날로그 변환기(208), PGA(210), 아날로그 디지털 변환기(212), 병렬데이터 입출력부(214), 클럭발생기(216), 기준신호발생기(218), 제어부(220)를 포함한다.
- <88> 클램프부(202)는 TM1 단자를 통하여 외부로부터 제공된 클램프전압(VRLC/VBIAS)을 입력 받거나, 4비트 디지털 아날로그 변환기(204)로부터 제공받는다. 외부모드에서는 DAC(204)는 디스에이블 상태로 유지되고, 내부모드에서는 DAC(204)가 인에이블 상태로 동작되고, 클램프전압은 4비트 클램프 레벨 제어신호(CD2)에 응답하여 16가지 레벨 중 선택된 하나의 레벨로 프로그램 된다. 클램프부(202)는 이미지센서(102)의 리셋주기동안 TM2 단자를 세팅된 클램프 전압으로 클램핑하여 TM2 단자 전압이 변동되는 것을 방지한다.
- <89> CDS(206)는 TM2 단자를 통해 입력된 아날로그 신호를 상관 이중 샘플링하고, 샘플링된 신호를 프로그램된 게인으로 증폭하여 CDS 포지티브신호(VCP)와 CDS 네가티브신호(VCN)를 PGA(210)에 제공한다. CDS(206)는 DAC(208)를 통하여 제공된 오프셋 보정신호(Vdac_in)와 저레벨 기준신호(VRB)를 입력한다. CDS(206)는 8비트 게인제어신호(CD3) 중 상위 2비트(CD3[7:6])에 의해 조악하게 프로그램된다. CDS(206)는 2비트 풀 스케일 제어신호(CD4)에 의해 풀스케일이 프로그램된다.
- <90> DAC(208)는 8비트 오프셋 조정 제어신호(CD1)를 고레벨 기준신호(VRT)와 저레벨 기준신호(VRB) 사이의 오프셋 보정신호(Vdac_in)로 발생한다.
- <91> PGA(210)는 CDS(206)으로부터 VCP 및 VCN 신호를 제공받아서 프로그램된 게인으로 증폭하여 PGA 포지티브신호(VPP)와 PGA 네가티브신호(VPN)를 ADC(212)에 제공한다. PGA(210)는 8비트 게인제어신호(CD3) 중 하위 6비트(CD3[5:0])에 의해 세밀하게 게인이 프로그램된다.

- <92> ADC(212)는 입력 아날로그 신호를 12비트 데이터로신호로 변환하여 출력한다.
- <93> 병렬데이터 입출력부(214)는 12비트 데이터를 12:8 멀티플렉서를 통하여 8비트+4비트로 멀티플렉싱하고, 상위 8비트(D13~D6), 하위 8비트(D5~D0, X, X)의 2워드 데이터를 8개의 TM11 단자들을 통하여 병렬로 출력한다. 하위 8비트 중 2비트는 돈케어(Don't care)로 사용하지 않는다.
- <94> 클럭발생기(216)는 TM3 단자를 통하여 VSMP신호를 입력하고 TM4 단자를 통하여 MCLK 신호를 입력하여 샘플링클럭(QC1, QC2), 리셋클럭(RCL) ADCCLK 신호 등을 발생한다.
- <95> 기준신호발생기(218)는 저레벨 기준신호(VRB), 중레벨 기준신호(VRM), 고레벨 기준신호(VRT)를 발생한다. TM5 내지 TM7 단자들은 기준신호 발생기(218)의 각 레벨의 기준신호들을 외부와 디커플링(de-coupling)하기 위한 단자들이다. 여기서, 저레벨은 이미지신호의 블랙레벨이고 ADC의 최저레벨이고, 고레벨은 화이트레벨이고 ADC의 최고레벨이고, 중레벨은 공통전압(VCOM) 레벨이다.
- <96> 제어부(220)는 외부와 TM8 내지 TM10 단자를 통하여 외부로부터 시리얼 인에이블신호(SEN), 시리얼 클럭(SCK), 시리얼 데이터(SDI)를 입력한다. 제어부(220)는 입력된 시리얼 데이터 중 명령데이터를 해독하여 각 부의 동작모드를 제어하고 정보데이터는 클램프 레벨 레지스터, 오프셋 보정 레지스터, 게인 레지스터, 폴스케일 레지스터 등에 저장하고, MCLK 신호에 응답하여 각 부에 대응되는 정보를 제공한다.
- <97> 도 13을 참조하면, 본 발명의 CDS(206)는 연산증폭기(OPAMP1), 가변커패시터(Ci1, Ci2), 피드백 커패시터(CF1, CF2), 트랜지스터들(MT1~MT14)을 포함한다. OPAMP1의 반전입력단자(-)는

가변커패시터(Ci1)를 통하여 노드(N1)에 연결되고, 비반전입력단자(+)는 가변커패시터(Ci2)를 통하여 노드(N2)에 연결된다.

<98> 트랜지스터(MT1)는 TM2 단자와 N1 노드 사이에 연결되고, 샘플링클럭(QC2)에 의해 스위칭된다. 따라서, QC2의 샘플링주기에 입력신호(VIN)가 가변 커패시터(Ci1)에 샘플링된다.

<99> 트랜지스터(MT2)는 TM2 단자와 N1 노드 사이에 연결되고, 샘플링클럭(QC1)에 의해 스위칭된다. 따라서, QC1의 샘플링주기에 기준입력신호(VREF)가 가변 커패시터(Ci1)에 샘플링된다.

<100> 트랜지스터(MT3)는 기준전압발생기(218)의 VRB 신호를 샘플링클럭(QC1)에 의해 스위칭하여 N2노드에 연결한다. 따라서, QC1의 샘플링주기에 VRB가 가변 커패시터(Ci2)에 샘플링된다.

<101> 트랜지스터(MT4)는 샘플링클럭(QC2)에 의해 스위칭되어 DAC(208)의 Vdac_in 신호를 N2노드에 연결한다. 따라서, QC2의 샘플링주기에 오프셋 조정신호(Vdac_in)가 가변 커패시터(Ci2)에 샘플링된다.

<102> OPAMP1의 반전입력단자와 비반전출력단자 사이에는 트랜지스터(MT6)가 연결되고, 비반전입력단자와 반전출력단자 사이에는 트랜지스터(MT10)가 연결된다. 트랜지스터(MT6, MT10)는 QCP1 클럭에 의해 스위칭된다.

<103> OPAMP1의 반전입력단자와 비반전출력단자 사이에는 직렬 연결된 피드백 커패시터(CF1)와 트랜지스터(MT5)가 연결되고, 비반전입력단자와 반전출력단자 사이에는 직렬 연결된 피드백 커패시터(CF2)와 트랜지스터(MT11)가 연결된다. 트랜지스터(MT5, MT11)는 QC2 클럭에 의해 스위칭된다.

- <104> 피드백 커패시터(CF1)와 트랜지스터(MT5) 사이의 N3 노드에는 트랜지스터(MT7, MT8, MT9)들을 통하여 저, 중, 고레벨 기준신호들(VRB, VRM, VRT)이 공통으로 결합된다. 트랜지스터(MT7, MT8, MT9)는 QC1 클럭과 CD4[1;0] 신호의 조합에 의해 스위칭된다. 피드백 커패시터(CF2)와 트랜지스터(MT11) 사이의 N4 노드에는 트랜지스터(MT12, MT13, MT14)들을 통하여 저, 중, 고레벨 기준신호들(VRB, VRM, VRT)이 공통으로 결합된다. 트랜지스터(MT12, MT13, MT14)는 QC1 클럭과 CD4[1;0] 신호의 조합에 의해 스위칭된다. 레벨시프터(LS)는 MT7 및 MT14, MT8 및 MT13, MT9 및 MT12 으로 조합을 이룬다. 이와 같은 기준신호의 조합은 이미지 신호의 기준 레벨을 쉬프트시키는 효과를 얻을 수 있다.
- <105> 본 발명에서는 CDS(206)에서 레벨쉬프트 기능을 부가함으로써 PGA와 ADC 사이에서 레벨 쉬프트 하는 경우(Wolfson사의 WM8196 AFE소자)에 비하여 신호처리의 왜곡 현상을 최대한 방지할 수 있다.
- <106> 가변 커패시터들(Ci1, Ci2) 각각은 CD3[7:6] 신호에 응답하여 0.5C, 1C, 2C, 4C로 커패시턴스 값이 조정된다. 피드백 커패시터(CF1, CF2)는 1C 커패시턴스 값을 가진다.
- <107> 따라서, CDS(206)의 입력에 대한 출력의 전달함수는 다음 수학식1에 의해 나타낼 수 있다.
- <108> **【수학식 1】**
$$VCP - VCN = Ci/Cf \times (Vrn - Vin + (Vdac_in - VRB)) + (VRX - VRY)$$
- <109> 여기서, $Vdac_in - VRB$ 는 오프셋 보정값이다.
- <110> 또한, $VRX - VRY$ 는 풀 스케일 조정값으로 $VRB - VRT$, $VRM - VRM$ 또는 $VRT - VRB$ 중 하나로 대입된다.

- <111> 그러므로 CDS(206)의 이득은 C_i/C_f 이므로 C_i 값이 4단계로 프로그램될 수 있으므로 이득을 4단계로 조약하게 조정할 수 있다.
- <112> 도 14를 참조하면, 본 발명의 PGA(210)는 연산증폭기(OPAMP2), 단위 커패시터들(CP0~CP127, CN0~CN127), 스위치어레이들(SWP0~SWP127, SWN0~SWN127), 스위치제어기(SWC1, SWC2)를 포함한다.
- <113> OPAMP2의 반전입력단자와 비반전출력단자 사이에는 트랜지스터(MT15)가 연결되고, 비반전입력단자와 반전출력단자 사이에는 트랜지스터(MT16)가 연결된다. 트랜지스터(MT15, MT16)는 QCP2 클럭에 의해 스위칭된다.
- <114> 스위치어레이(SWP0~SWP127)의 128 스위치들은 공통단자(CT), 제1단자(T1), 제2단자(T2), 제3단자(T3)를 각각 포함한다. 각 스위치들의 제1단자(T1)는 CDS(206)의 반전 출력단자에 공통으로 연결되고, 제2단자(T2)는 연산증폭기(OPAMP2)의 반전 출력단자에 공통으로 연결되고, 제3단자(T3)에는 중레벨 기준신호(VRM)가 공통으로 인가된다. 각 스위치들의 고정단자(CT)는 커패시터들(CP0~CP127)에 각각 연결된다.
- <115> 스위치 어레이(SWP0~SWP127)의 각 스위치들은 스위치제어기(SWC1)에 의해 스위칭 구동된다. 스위치제어기(SWC1)는 샘플링 클럭(QC2, QC2B)과 CD3[5:0]신호를 조합하여 스위치 구동신호를 발생한다.
- <116> 스위치 어레이(SWN0~SWN127)의 128 스위치들은 공통단자(CT), 제1단자(T1), 제2단자(T2), 제3단자(T3)를 각각 포함한다. 각 스위치들의 제1단자(T1)는 CDS(206)의 반전 출력단자에 공통으로 연결되고, 제2단자(T2)는 연산증폭기(OPAMP2)의 비반전 출력단자에 공통으로 연결

되고, 제3단자(T3)에는 중레벨 기준신호(VRM)가 공통으로 인가된다. 각 스위치들의 공통단자(CT)는 커패시터들(CN0~CN127)에 각각 연결된다.

<117> 스위치 어레이(SWN0~SWN127)의 각 스위치들은 스위치 제어기(SWC2)에 의해 스위칭 구동된다. 스위치 제어기(SWC2)는 샘플링 클럭(QC2, QC2B)과 CD3[5:0]신호를 조합하여 스위치 구동신호를 발생한다.

<118> 따라서, 대기모드에서는 각 스위치들의 제3단자(T3)와 공통단자(CT)가 접촉되므로 VRM신호가 커패시터들(CP0~CP127)들을 통하여 OPAMP2의 반전입력단자에 결합되고, 또한 VRM신호가 커패시터들(CN0~CN127)들을 통하여 OPAMP2의 비반전입력단자에 결합된다.

<119> 입력모드에서는 각 스위치들의 제1단자(T1)와 공통단자(CT)가 접촉되므로 VCP신호가 커패시터들(CP0~CP127)들을 통하여 OPAMP2의 반전입력단자에 결합되고, 또한 VCN신호가 커패시터들(CN0~CN127)들을 통하여 OPAMP2의 비반전입력단자에 결합된다.

<120> 출력모드에서는 각 스위치들 중 게인 프로그램된 스위치들의 제2단자(T2)와 공통단자(CT)가 접촉되므로 커패시터들(CP0~CP127) 중 턴온된 스위치들에 연결된 커패시터들만 OPAMP2의 비반전 출력단자에 결합되고, 또한 커패시터들(CN0~CN127) 중 턴온된 스위치들에 연결된 커패시터들만 반전 출력단자에 결합된다.

<121> 커패시터들(CP0~CP127, CN0~CN127)은 1C 커패시턴스 값을 가진다.

<122> 따라서, PGA(210)의 입력에 대한 출력의 전달함수는 다음 수학식2에 의해 나타낼 수 있다.

<123> **【수학식 2】** $V_{PP} - V_{PN} = (2^{(6+1)} / (2^{(6+1)} - (y+1))) \times (V_{CP} - V_{CN})$

- <124> 여기서 y 는 6비트 CD3[5:0] 신호의 제어값에 따라 1부터 63까지의 값으로 변화된다.
- <125> 그러므로 CDS(206)의 이득은 $128/(127-y)$ 이므로 64단계로 프로그램될 수 있으므로 CDS(206)의 4단계의 각 단계를 다시 64단계로 세밀하게 조정할 수 있다.
- <126> 스위치어레이들(SWP0~SWP127, SWN0~SWN127)은 CMOS 방식에서는 MOS 트랜지스터 또는 전 달게이트 등으로 구성할 수 있다. 스위치제어기(SWC1, SWC2)는 샘플링 클럭에 동기되는 6 to 128 디코더의 구성을 한다.
- <127> 도 15를 참조하면, 본 발명의 클럭발생기(216)는 조합회로(216-1)와 오버랩핑 금지회로(216-2)를 포함한다. 조합회로(216-1)는 VSMP 신호 및 MCLK 신호를 입력하여 RCL 신호, ADCCLK 신호, CLK1 및 CLK2 신호를 발생한다.
- <128> 오버랩핑 금지회로(216-2)는 CLK1 및 CLK2 신호를 입력하여 이들 두 신호의 오버랩핑시에도 오버랩이 생기지 않는 샘플링 클럭(QC1, QC1B, QCIP, QCIPB, QC2, QC2B, QC2P, QC2PB)을 발생한다.
- <129> 도 16을 참조하면, 오버랩핑 금지회로(216-2)는 입력버퍼들(IBF1 IBF2), 로직회로들(G3, G6, G25, G33), 지연기들(DL1~DL4, XD1, XD2), 출력버퍼들(OBF1~OBF8)을 포함한다.
- <130> IBF1은 2단 종속 연결된 인버터들(G1, G2)로 구성되어 IBF2는 2단 종속 연결된 인버터들(G4, G5)로 구성된다.
- <131> G3, G6, G25, G33은 2입력 NAND 로직을 수행하는 게이트 회로이다.

- <132> DL2는 인버터들(G7~G10)이 4단 종속연결된 것이고, DL3은 인버터들(G11~G14)이 4단 종속 연결된 것이고, DL1은 인버터들(G23, G24)이 2단 종속 연결된 것이고, DL4는 인버터들(G31, G32)이 2단 종속 연결된 것이다.
- <133> OBF1은 인버터들(G28, G29, G30)이 3단 종속 연결된 것이고, OBF8은 인버터들(G36, G37, G38)이 3단 종속 연결된 것이다. OBF2 내지 OBF7은 각각 인버터들(G26, G27), (G17, G18), (G15, G16), (G19, G20), (G21, G22), (G34, G35)이 2단 종속 연결된 것이다. ;
- <134> G3의 제1입력단에는 IBF1을 통하여 CLK1 신호가 인가되고, 제2입력단에는 DL3의 출력신호가 인가된다. G3의 출력신호는 DL2 및 OBF4를 거쳐서 QC1B 샘플링 클럭으로 출력된다. DL2의 G9의 출력신호는 XD1 및 OBF3을 통하여 QC1 샘플링 클럭으로 출력된다.
- <135> G6의 제1입력단에는 IBF2을 통하여 CLK2 신호가 인가되고, 제2입력단에는 DL2의 출력신호가 인가된다. G6의 출력신호는 DL3 및 OBF5를 거쳐서 QC2B 샘플링 클럭으로 출력된다. DL3의 G13의 출력신호는 XD2 및 OBF6를 통하여 QC2 샘플링 클럭으로 출력된다.
- <136> G25의 제1입력단에는 CLK1 신호가 인가되고, 제2입력단에는 DL1을 통하여 DL3의 출력신호가 인가된다. G25의 출력신호는 각각 OBF1, OBF2를 통하여 QC1P, QC1PB 샘플링 클럭으로 출력된다.
- <137> G33의 제1입력단에는 CLK2 신호가 인가되고, 제2입력단에는 DL4을 통하여 DL2의 출력신호가 인가된다. G33의 출력신호는 각각 OBF7, OBF8를 통하여 QC2PB, QC2P 샘플링 클럭으로 출력된다.
- <138> 도 17을 참조하면, 오버래핑 금지회로(216-2)에 입력되는 CLK1, CLK2 신호가 서로 오버래핑되지 않은 경우에는 당연히 출력신호인 QC1, QC2도 서로 오버래핑되는 부분이 없다.

- <139> 도 18을 참조하면, CKL1, CKL2 신호가 오버랩된 경우에도 오버랩핑 금지회로(216-2)에 의해 QC1, QC2는 서로 오버랩되는 부분이 없게 된다.
- <140> 이와 같이 샘플링 클럭 QC1, QC2가 서로 오버랩되는 것이 금지되므로 샘플링 과정에서 샘플링 오류를 방지할 수 있다.
- <141> 이와 같이 구성된 본 발명의 응용예의 전체 이득은 다음 표 2 와 같이 나타날 수 있다.
- <142> 도 19는 상기 표 2 의 dB 값을 로그 스케일 상에 나타낸 게인 그래프이다. 그래프에서 실선은 본 발명의 특성그래프이고 점선은 PGA에서만 게인을 제어하는 A사의 특성 그래프를 나타낸다. A 사의 특성그래프는 로그 스케일 상에서 비선형적이고 20dB 정도의 이득 폭을 가지나 본 발명에서는 대략 제어값이 0에서 255까지 변화될 때 전체 게인은 -6dB에서 18dB까지 23dB의 이득 폭을 가지며 거의 선형적으로 변화됨을 알 수 있다.
- <143> 즉, 본 발명의 이득특성은 A 사의 이득특성에 비하여 완전 로그 스케일에 보다 근사적이고 게인 범위도 약 3dB 정도 확장된다.

<144>

【표 2】

제어값		게인		DC 게인(V/V)	DC 게인(dB)
상위 2비트	하위 6비트	CDS	PGA		
00	00 0000	0.5	128/127	0.504	-5.95
	00 0001		128/126	0.507	-5.88
	00 0010		128/125	0.512	-5.81

	11 1110		128/65	0.985	-0.13
	11 1111		128/64	1.000	0.00
01	00 0000	1	128/127	1.008	0.07

	11 1111		128/64	2.000	6.02
10	00 0000		128/127	2.016	6.09

	11 1111		128/64	4.000	12.04
11	00 0000		128/127	4.031	12.11

	11 1111		128/64	8.000	18.06

<145> 또한, 소요면적을 대비하면 다음 표 3 과 같다.

<146> 【표 3】

	A 사	B 사	본 발명
CDS	2 × 2	2 × 2	5 × 2
PGA	2 ⁸ × 2 = 512	2 ⁸ × 2 = 512	2 ⁷ × 2 = 256

<147> 본 발명의 기존 방식들에 비하여 CDS의 커패시터의 수는 증가하나 PGA의 커패시터의 수가 절반정도로 대폭 줄게 된다. PGA의 커패시터의 수가 대폭적으로 줄어들게 됨으로써 PGA의 게인 설계가 용이하고 사이즈를 줄일 수 있다.

<148> 또한, PGA의 커패시터가 줄어들게 됨으로써 CDS에서 구동하고자 하는 커패시터의 부하도 그만큼 줄게 되므로 CDS의 사이즈도 축소되고 처리속도도 향상되게 된다.

<149> 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【발명의 효과】

<150> 상술한 바와 같이 본 발명에서는 게인조정을 분할함으로써 증폭기의 게인특성이 기존의 유사로그 스케일에 비해 완전 로그 스케일에 근접된 향상된 특성을 가진다.

<151> 또한, 총 게인조절을 상관이증샘플러와 프로그램어블 게인 증폭기로 분할함으로써 PGA의 커패시터 수를 줄임으로써 PGA 및 CDS의 사이즈를 줄이고 CJL속도를 향상할 수 있다.

<152> 또한, 신호 입력 초단인 상관이증샘플러에서 폴스케일로 레벨쉬프트가 가능하므로 PGA 후단에서 폴스케일의 레벨쉬프트하는 방식에 비해 신호의 왜곡현상을 방지할 수 있다.

【특허청구범위】

【청구항 1】

아날로그 입력신호를 $k(= m+n, k, m$ 및 n 은 자연수) 비트의 게인제어신호의 상위 m 비트에 응답하여 전체 게인 범위를 2^m 단계로 조악하게 증폭하는 제1증폭부; 및

상기 제1증폭기에서 증폭된 신호를 상기 게인제어신호의 하위 n 비트에 응답하여 2^n 개의 서브 게인범위 각각을 2^n 단계로 세밀하게 증폭하는 제2증폭부를 구비하여

상기 게인제어신호에 대한 상기 전체 게인 범위의 특성이 유사 로그 스케일인 것을 특징으로 하는 증폭기.

【청구항 2】

제1항에 있어서, 상기 제1증폭부는

Z_2 은 단위값, $Z_1 = 2^{(x-1)}$ ($0 \leq x \leq 2^m-1$)일 때,

$G = Z_1/Z_2$ 의 게인특성을 가지는 것을 특징으로 하는 아날로그 증폭기.

【청구항 3】

제1항에 있어서, 상기 제2증폭부는

$Z_1 = 2^{(n+1)}$, $Z_2 = 2^{(n+1)-(x+1)}$ ($0 \leq x \leq 2^n-1$)일 때,

$G = Z_1/Z_2$ 의 게인특성을 가지는 것을 특징으로 하는 아날로그 증폭기.

【청구항 4】

아날로그 입력신호를 $k(= m+n, k, m$ 및 n 은 자연수) 비트의 게인제어신호의 상위 m 비트에 응답하여 전체 게인 범위를 2^m 단계로 조악하게 증폭하는 단계; 및



상기 조악하게 증폭된 신호를 상기 게인제어신호의 하위 n 비트에 응답하여 2^m 개의 서브 게인범위 각각을 2^n 단계로 세밀하게 증폭하는 단계를 구비하여

상기 게인제어신호에 대한 상기 전체 게인 범위의 특성이 유사 로그 스케일인 것을 특징으로 하는 증폭방법.

【청구항 5】

제4항에 있어서, 상기 제1증폭단계는

Z_2 은 단위값, $Z_1 = 2^{(x-1)}$ ($0 \leq x \leq 2^m-1$)일 때,

$G = Z_1/Z_2$ 의 게인특성을 가지는 것을 특징으로 하는 증폭방법.

【청구항 6】

제4항에 있어서, 상기 제2증폭단계는

$Z_1 = 2^{(n+1)}$, $Z_2 = 2^{(n+1)-(y+1)}$ ($0 \leq y \leq 2^n-1$)일 때,

$G = Z_1/Z_2$ 의 게인특성을 가지는 것을 특징으로 하는 증폭방법.

【청구항 7】

이미지센서로부터 출력된 이미지신호를 상관이중샘플링하고, $k(= m+n, k, m$ 및 n 은 자연수) 비트의 게인제어신호의 상위 m 비트에 응답하여 전체 게인 범위를 2^m 단계로 조악하게 증폭하는 상관이중샘플러; 및

상기 상관이중 샘플러에서 샘플 증폭된 신호를 상기 게인제어신호의 하위 n 비트에 응답하여 2^m 개의 서브 게인범위를 2^n 단계로 세밀하게 증폭하는 프로그램어블 게인 증폭기를 구비한 것을 특징으로 하는 아날로그 전치회로.

【청구항 8】

제7항에 있어서, 상기 상관이중샘플러는 하나의 연산 증폭기로 구성된 것을 특징으로 하는 아날로그 전치회로.

【청구항 9】

제8항에 있어서, 상기 상관이중샘플러는

반전 및 비반전 입력단자들과 반전 및 비반전 출력단자들을 가진 연산증폭기;

상기 반전 입력단자와 제1노드 사이에 연결되고 상기 m 비트에 응답하여 2^m 단계로 값이 가변되는 제1임피던스소자;

제 1샘플링 클럭에 응답하여 상기 제1노드에 상기 이미지신호의 기준입력신호를 샘플링 하기 위한 제1샘플링 스위치;

제2샘플링 클럭에 응답하여 상기 제1노드에 상기 이미지신호의 영상신호를 샘플링하기 위한 제2샘플링 스위치;

상기 반전 입력단자와 상기 비반전 출력단자 사이에 연결되고 단위 임피던스값을 가진 제2임피던스소자;

상기 제2샘플링 클럭에 응답하고, 상기 제2임피던스소자에 직렬로 연결된 제3샘플링 스위치;

상기 비반전 입력단자와 제2노드 사이에 연결되고 상기 m 비트에 응답하여 2^m 단계로 값이 가변되는 제3임피던스소자;

상기 제1샘플링 클럭에 응답하여 상기 제2노드에 제1레벨기준신호를 샘플링하기 위한 제 4샘플링 스위치;

상기 제2샘플링 클럭에 응답하여 상기 제2노드에 피드백신호를 샘플링하기 위한 제5샘플링 스위치;

상기 비반전 입력단자와 상기 반전 출력단자 사이에 연결되고 단위 임피던스값을 가진 제4임피던스소자; 및

상기 제2샘플링 클럭에 응답하고, 상기 제4임피던스소자에 직렬로 연결된 제6샘플링 스위치를 구비한 것을 특징으로 하는 아날로그 전치회로.

【청구항 10】

제9항에 있어서, 상기 제2샘플링 클럭은 상기 제1샘플링클럭과 액티브 구간이 서로 오버랩되지 않는 것을 특징으로 하는 아날로그 전치회로.

【청구항 11】

제9항에 있어서, 상기 제1 내지 제4 임피던스 소자들은 커패시터인 것을 특징으로 하는 아날로그 전치회로.

【청구항 12】

제11항에 있어서, 상기 제1 및 제3 임피던스 소자들은 $Z = 2^{(x-1)}$ ($0 \leq x \leq 2^m - 1$) 으로 가변되는 것을 특징으로 하는 아날로그 전치회로.

【청구항 13】

제9항에 있어서, 상기 상관이중샘플러는

상기 샘플링된 영상신호의 레벨을 시프트하기 위한 레벨쉬프터를 더 구비한 것을 특징으로 하는 아날로그 전치회로.



【청구항 14】

제13항에 있어서, 상기 레벨쉬프터는

상기 제2임피던스소자와 상기 제3샘플링 스위치 사이의 제3노드에,

상기 제1샘플링 클럭에 응답하여 상기 제1레벨기준신호를 결합하기 위한 제7샘플링 스위치;

상기 제1샘플링 클럭에 응답하여 제2레벨기준신호를 결합하기 위한 제8샘플링 스위치;

및

상기 제1샘플링 클럭에 응답하여 제3레벨기준신호를 결합하기 위한 제9샘플링 스위치들이 공통으로 연결되고,

상기 제4임피던스소자와 상기 제6샘플링 스위치 사이의 제4노드에,

상기 제1샘플링 클럭에 응답하여 상기 제1레벨기준신호를 결합하기 위한 제10샘플링 스위치;

상기 제1샘플링 클럭에 응답하여 제2레벨기준신호를 결합하기 위한 제11샘플링 스위치;

및

상기 제1샘플링 클럭에 응답하여 제3레벨기준신호를 결합하기 위한 제12샘플링 스위치들이 공통으로 연결된 것을 특징으로 하는 아날로그 전치회로.

【청구항 15】

제14항에 있어서, 상기 제1레벨은 저레벨이고, 상기 제2레벨은 중레벨이고 상기 제3레벨은 고레벨인 것을 특징으로 하는 아날로그 전치회로.

【청구항 16】

제8항에 있어서, 상기 프로그램어블 게인 증폭기는

반전 및 비반전 입력단자들과 반전 및 비반전 출력단자들을 가진 연산증폭기;

상기 상관이중샘플러의 비반전 출력단자에 연결된 제1단자와, 상기 연산증폭기의 비반전 출력단자에 연결된 제2단자와, 기준신호에 연결된 제3단자를 포함하고 제2샘플링 클럭 및 상기 하위 n비트에 응답하여 상기 제1 내지 제3단자들을 공통단자에 스위칭하는 $2^{(n+1)}$ 개의 제1 스위치 어레이;

상기 반전 입력단자와 상기 제1스위치 어레이의 각 공통단자들 사이에 연결된 $2^{(n+1)}$ 개의 제1임피던스소자들;

상기 상관이중샘플러의 반전 출력단자에 연결된 제4단자와, 상기 연산증폭기의 비반전 출력단자에 연결된 제5단자와, 상기 기준신호에 연결된 제6단자를 포함하고 제2샘플링 클럭 및 상기 하위 n비트에 응답하여 상기 제4 내지 제6단자들을 공통단자에 스위칭하는 $2^{(n+1)}$ 개의 제2 스위치 어레이; 및

상기 비반전 입력단자와 상기 제2스위칭 어레이의 각 공통단자들 사이에 연결된 $2^{(n+1)}$ 개의 제2임피던스소자들을 구비한 것을 특징으로 하는 아날로그 전치회로.

【청구항 17】

제16항에 있어서, 상기 제1 및 제2 임피던스소자들 각각은 단위값을 가지는 커패시터인 것을 특징으로 하는 아날로그 전치회로.

【청구항 18】

제17항에 있어서, 상기 프로그램어블 게인 증폭기는

$Z2 = 2^{(n+1)}$, $Z1 = 2^{(n+1)-(y+1)}$ ($0 \leq y \leq 2^n-1$)일 때,

$G = Z2/Z1$ 의 계인특성을 가지는 것을 특징으로 하는 아날로그 전치회로.

【청구항 19】

제9항에 있어서, 상기 제1 및 제2 샘플링 클럭은 오버래핑 금지회로를 통하여 발생되고, 상기 오버래핑 금지회로는

제 1클럭신호를 버퍼링하는 제1입력버퍼;

제2클럭신호를 버퍼링하는 제2입력버퍼;

상기 버퍼링 제1클럭신호와 제1피드백신호를 조합하는 제1로직회로;

상기 버퍼링 제2클럭신호와 제2피드백신호를 조합하는 제2로직회로;

상기 제1로직회로의 출력신호를 지연시켜서 상기 제2피드백신호를 발생하는 제1지연기;

상기 제2로직회로의 출력신호를 지연시켜서 상기 제1피드백신호를 발생하는 제2지연기;

상기 제2피드백신호를 버퍼링하여 제1샘플링 클럭을 발생하는 제1출력버퍼; 및

상기 제1피드백신호를 버퍼링하여 제2샘플링 클럭을 발생하는 제2출력버퍼를 구비한 것을 특징으로 하는 아날로그 전치회로.

【청구항 20】

제19항에 있어서, 상기 제1샘플링 클럭은 상기 제2피드백신호와 위상이 반대이고, 상기 제2샘플링 클럭은 상기 제1피드백신호와 위상이 반대인 것을 특징으로 하는 아날로그 전치회로

【청구항 21】

이미지센서로부터 출력된 이미지신호를 상관이중샘플링하고, $k(=m+n, k, m$ 및 n 은 자연수) 비트의 게인제어신호의 상위 m 비트에 응답하여 전체 게인 범위를 2^m 단계로 조악하게 증폭하는 상관이중샘플러;

상기 상관이중 샘플러에서 샘플 증폭된 신호를 상기 게인제어신호의 하위 n 비트에 응답하여 2^n 개의 서브 게인범위를 2^n 단계로 세밀하게 증폭하는 프로그램어블 게인 증폭기; 및

상기 프로그램어블 게인 증폭기로부터 제공된 신호를 디지털 데이터 신호로 디지털타이징하는 아날로그 디지털 변환기를 구비한 것을 특징으로 하는 아날로그 프론트 엔드회로.

【청구항 22】

제21항에 있어서, 상기 회로는 상기 상관이중샘플러에 오프셋 보정신호를 제공하기 위한 디지털 아날로그 변환기를 더 구비한 것을 특징으로 하는 아날로그 프론트 엔드회로.

【청구항 23】

제21항에 있어서, 상기 회로는 상기 상관이중샘플러의 상기 이미지신호 입력단자를 리셋 주기시 클램핑하기 위한 클램프부를 더 구비한 것을 특징으로 하는 아날로그 프론트 엔드회로.

【청구항 24】

제21항에 있어서, 상기 회로는 상기 상관이중샘플러의 풀 스케일 레벨쉬프팅을 위하여 저레벨, 중레벨 및 고레벨 기준신호를 각각 발생하는 기준신호 발생기를 더 구비한 것을 특징으로 하는 아날로그 프론트 엔드회로.

【청구항 25】

제21항에 있어서, 상기 회로는 상기 상관이중샘플러의 제1 및 제2샘플링클럭들이 서로 오버랩되는 것을 금지하기 위한 클럭발생기를 포함하는 것을 특징으로 하는 아날로그 프론트 엔드회로.

【청구항 26】

제21항에 있어서, 상기 회로는 외부로부터 제공된 상기 상관이중샘플러 및 프로그램어블 게인 증폭기의 게인조정값, 상관이중샘플러의 풀 스케일 조정값, 오프셋 조정값 및 입력 클램핑 레벨 조정값을 저장하고 이를 각 부에 제공하는 제어부를 포함하는 것을 특징으로 하는 아날로그 프론트 엔드회로.

【청구항 27】

제21항에 있어서, 상기 게인제어신호는 6비트 내지 10비트 중 어느 하나 인 것을 특징으로 하는 아날로그 프론트 엔드회로.

【청구항 28】

제21항에 있어서, 상기 게인제어신호는 8비트이고, m 은 2비트, n 은 6비트인 것을 특징으로 하는 아날로그 프론트 엔드회로.

【청구항 29】

컬러 이미지 센서로부터 각각 출력된 복수의 컬러이미지신호들 각각을 상관이중샘플링하고, $k(=m+n, k, m$ 및 n 은 자연수) 비트의 게인제어신호의 상위 m 비트에 응답하여 전체 게인 범위를 2^m 단계로 조약하게 증폭하는 복수의 상관이중샘플러들;

상기 복수의 상관이중 샘플러들에서 각각 샘플 증폭된 신호를 상기 게인제어신호의 하위 n 비트에 응답하여 2^m 개의 서브 게인범위 각각을 2^n 단계로 세밀하게 증폭하는 복수의 프로그램어블 게인 증폭기;

상기 복수의 프로그램어블 게인 증폭기들로부터 각각 출력된 신호들을 멀티플렉싱하는 멀티플렉서; 및

상기 멀티플렉서로부터 제공된 멀티플렉싱된 신호를 디지털 데이터 신호로 디지털이징하는 아날로그 디지털 변환기를 구비한 것을 특징으로 하는 아날로그 프론트 엔드회로.

【청구항 30】

피사체로부터 반사된 광을 픽업하여 이미지 신호를 출력하는 이미지 센서;

상기 이미지 센서로부터 출력된 이미지신호들 상관이중샘플링하고, $k(= m+n, k, m$ 및 n 은 자연수) 비트의 게인제어신호의 상위 m 비트에 응답하여 전체 게인 범위를 2^m 단계로 조약하게 증폭하고, 상기 샘플 증폭된 신호를 상기 게인제어신호의 하위 n 비트에 응답하여 2^m 개의 서브 게인범위 각각을 2^n 단계로 세밀하게 증폭하고, 증폭된 신호를 디지털 데이터 신호로 디지털이징하는 아날로그 프론트 엔드회로;

상기 디지털 데이터를 디지털 영상 처리하는 디지털 영상 처리기;

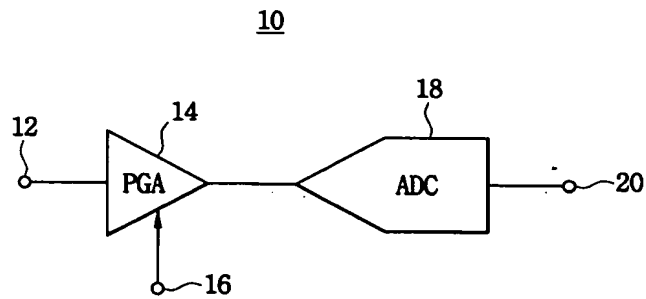
상기 각 부에 타이밍 신호를 제공하는 타이밍 제어기; 및

상기 각부를 제어하는 제어부를 구비한 것을 특징으로 하는 이미지 픽업회로.

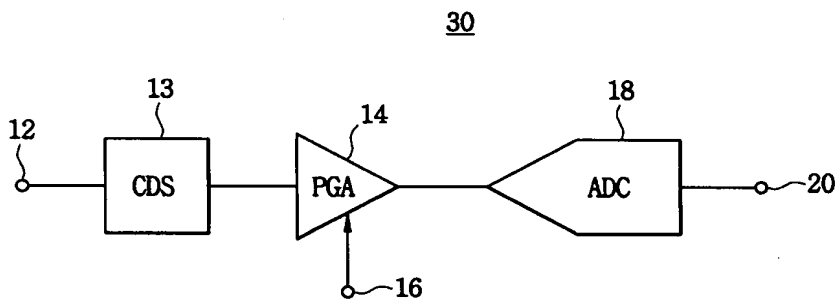


【도면】

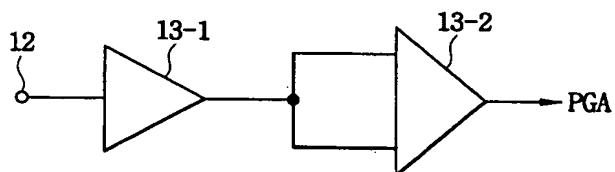
【도 1】



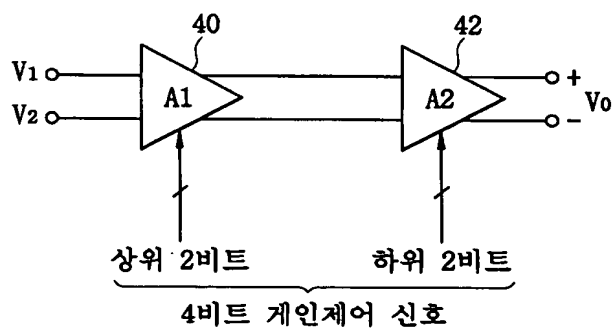
【도 2】



【도 3】

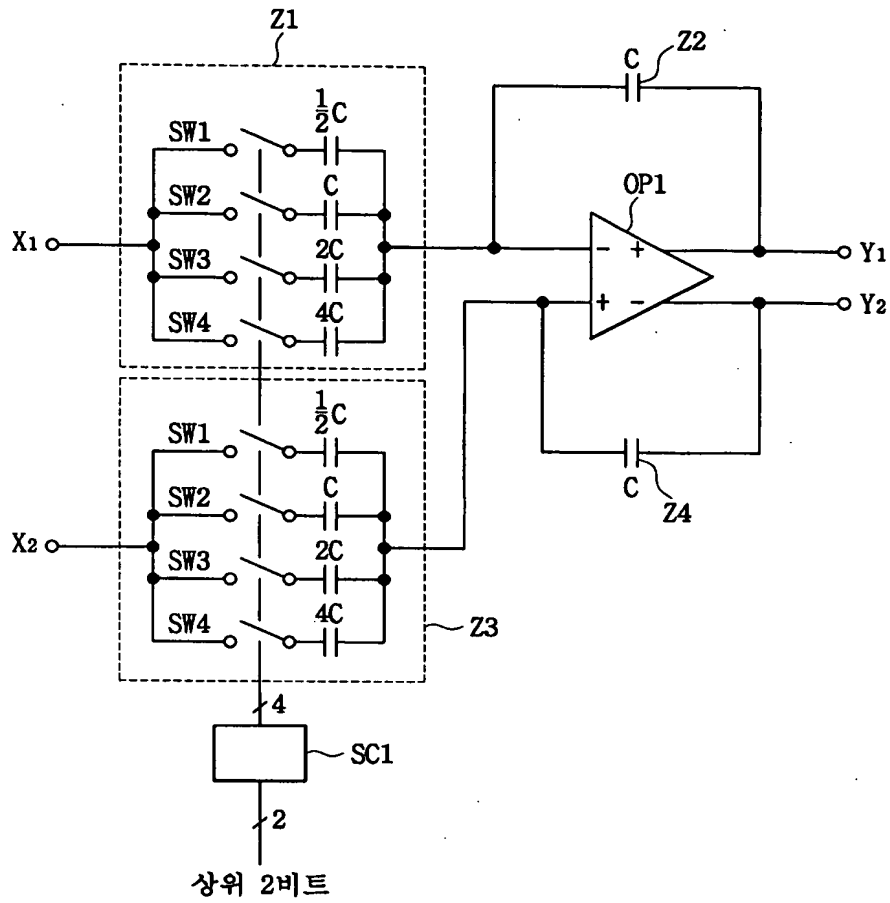


【도 4】



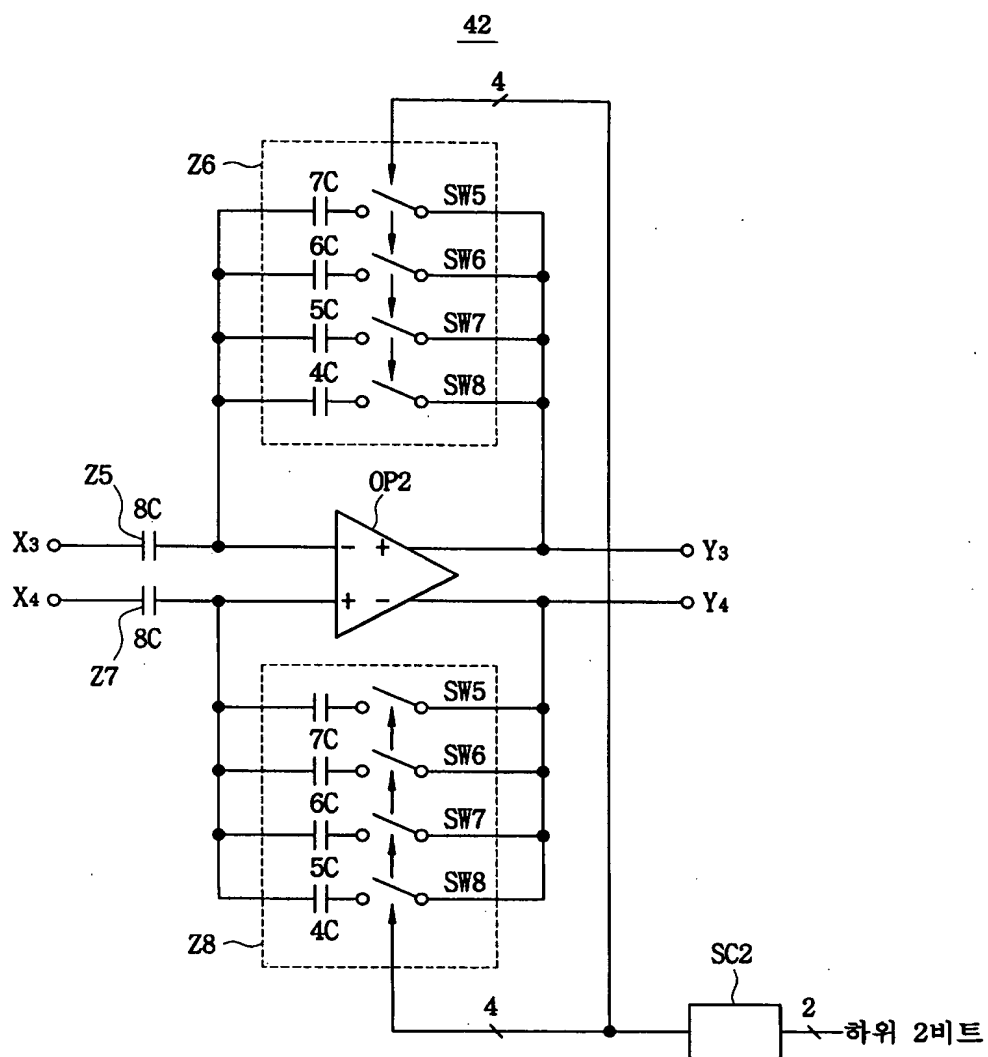
【도 5】

40

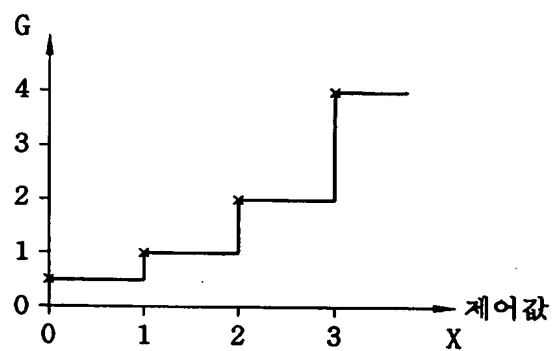




【도 6】



【도 7】

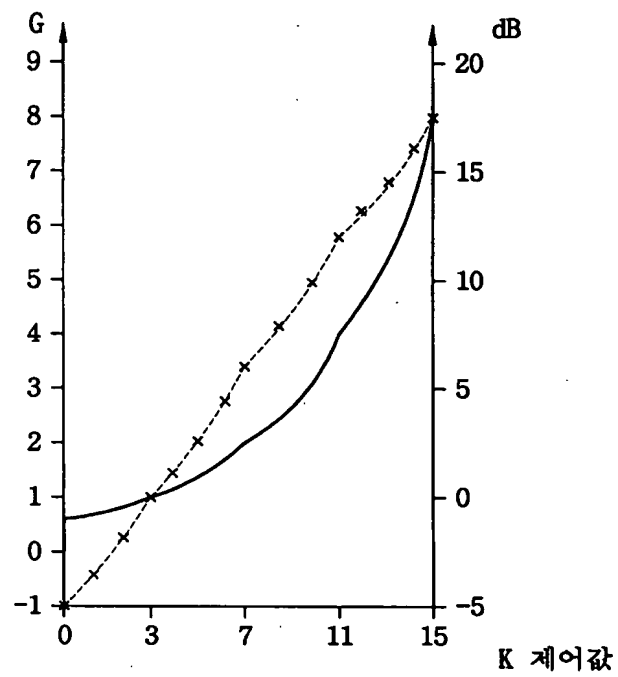




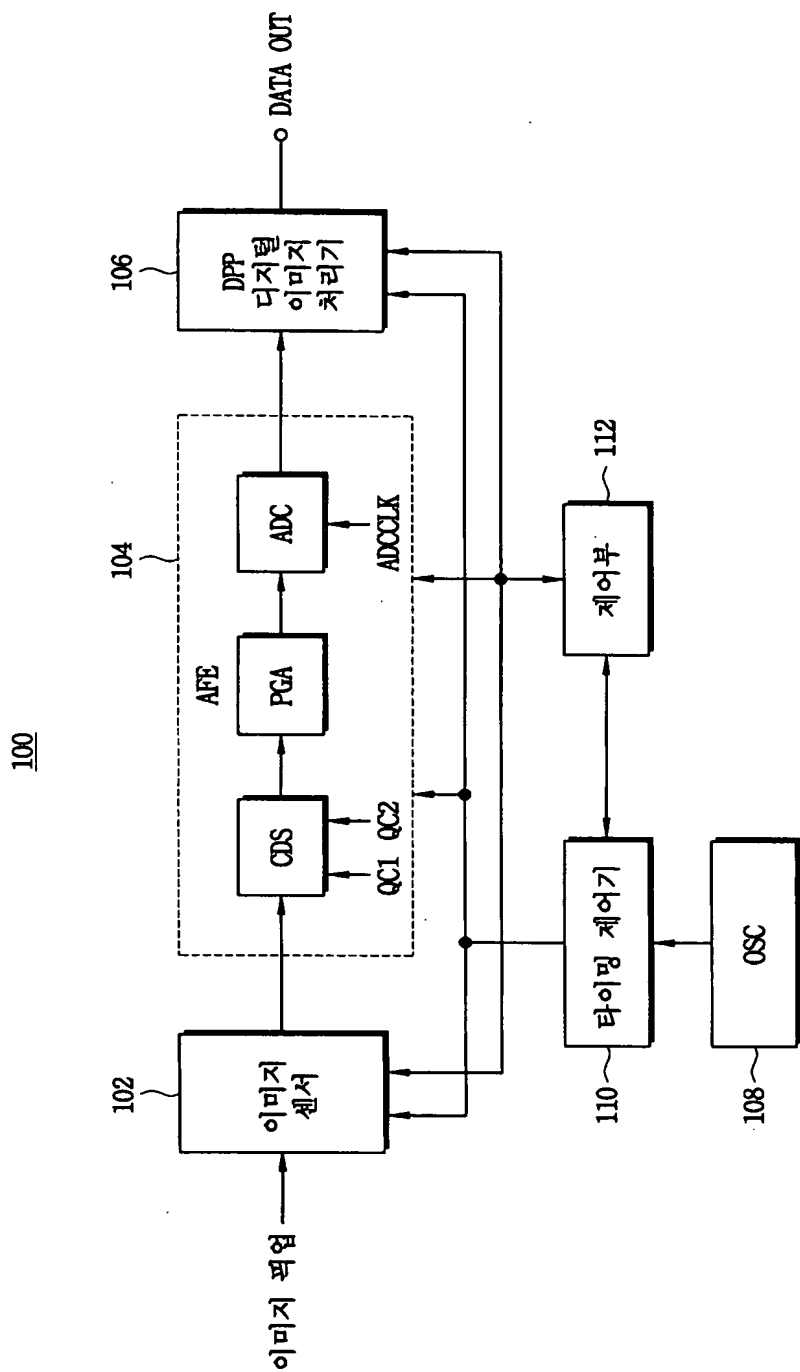
【도 8】



【도 9】

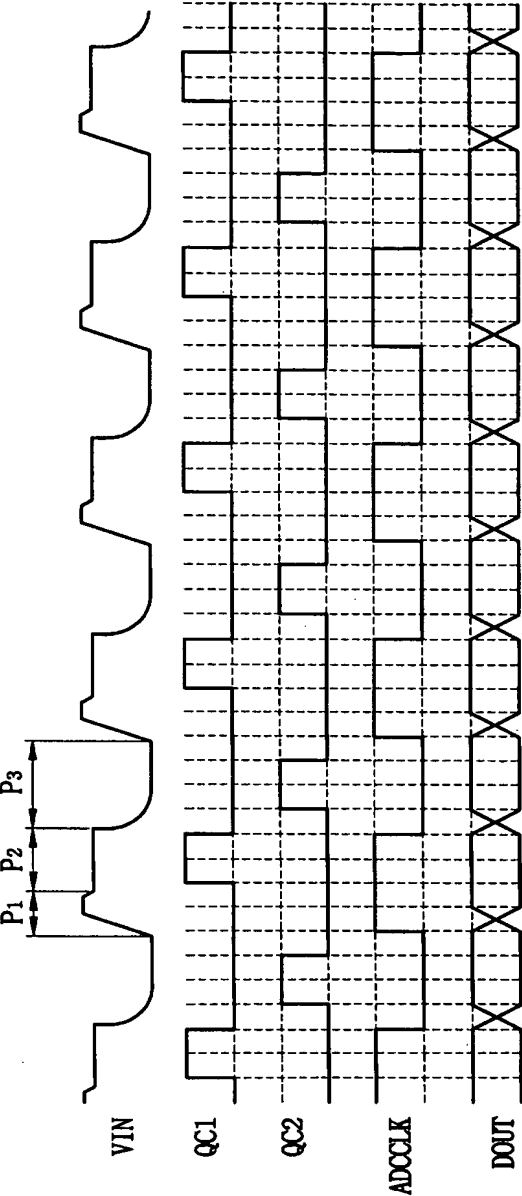


【도 10】

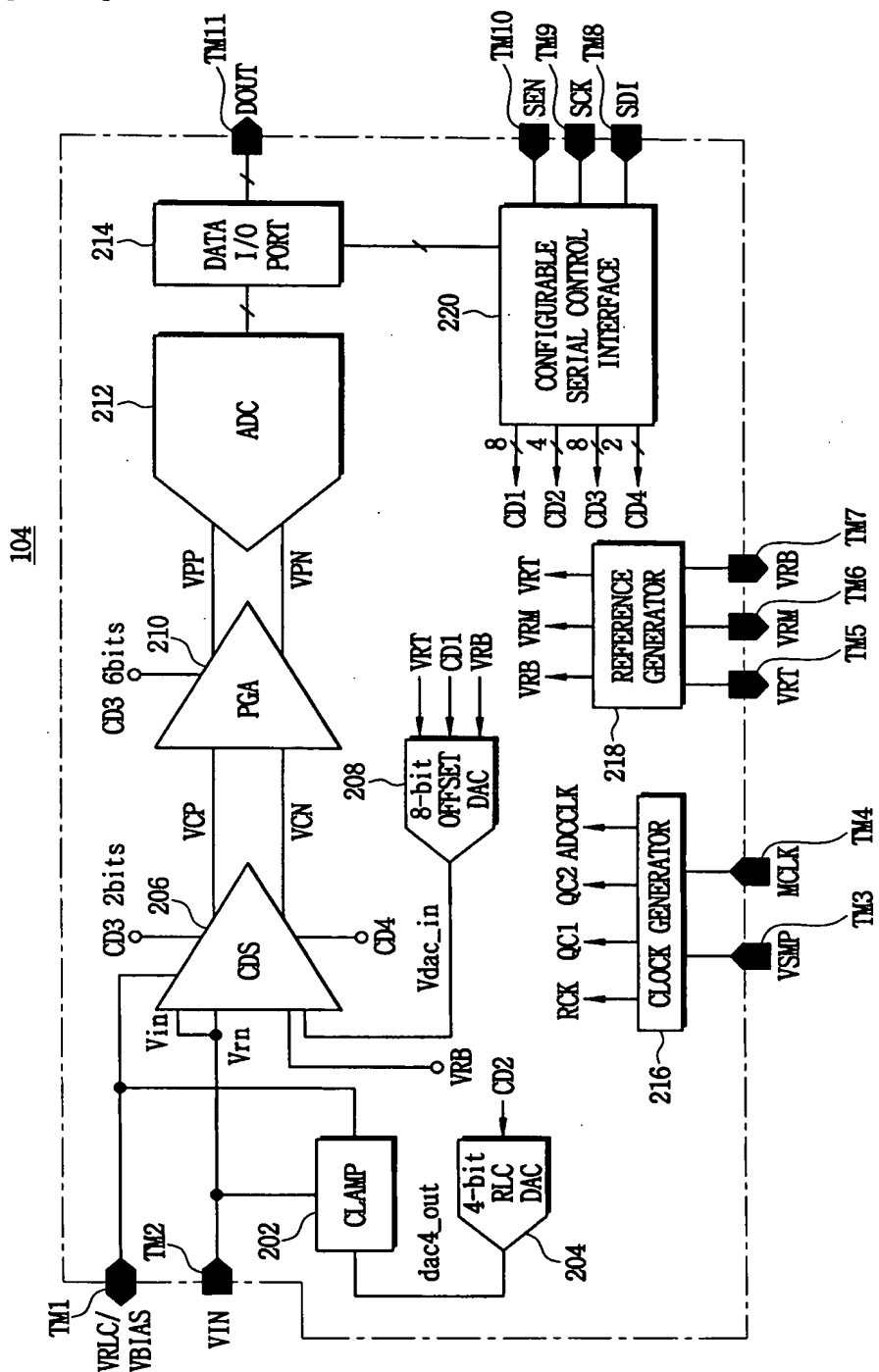




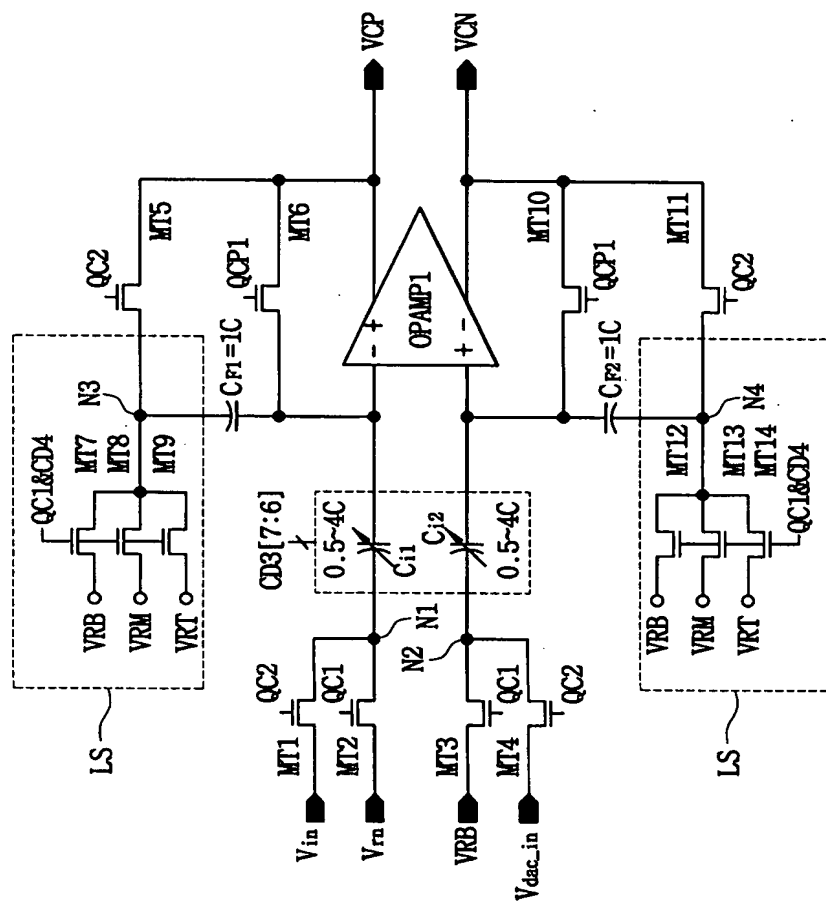
【도 11】



【도 12】

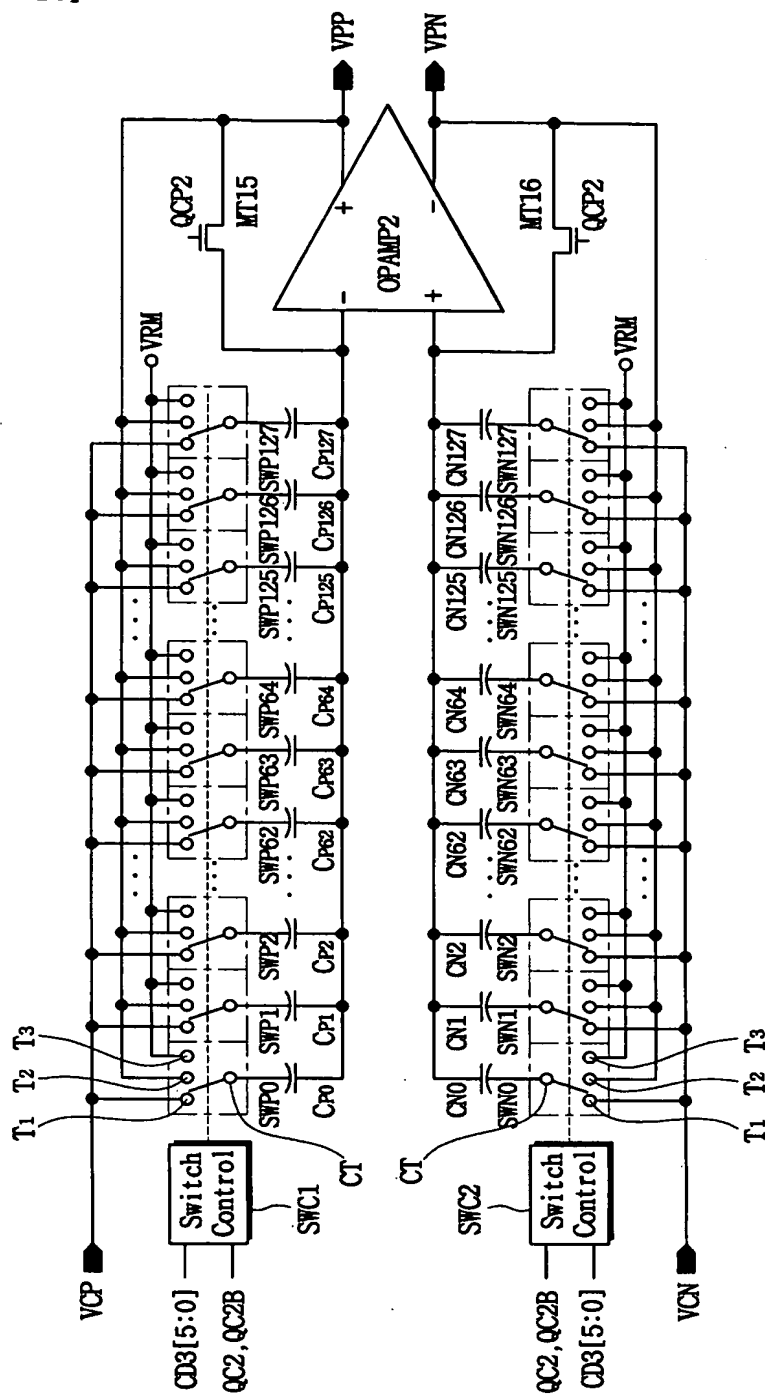


【도 13】

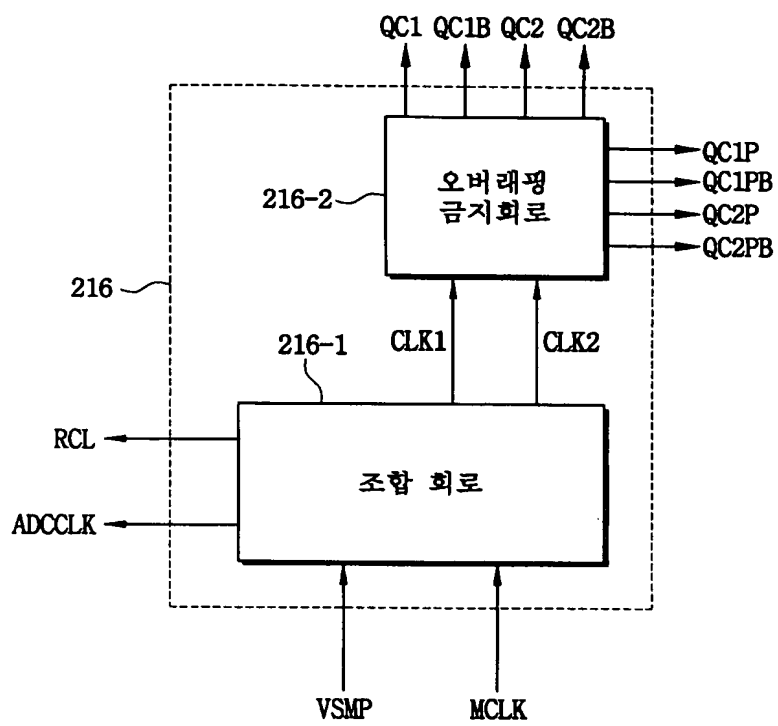


【도 14】

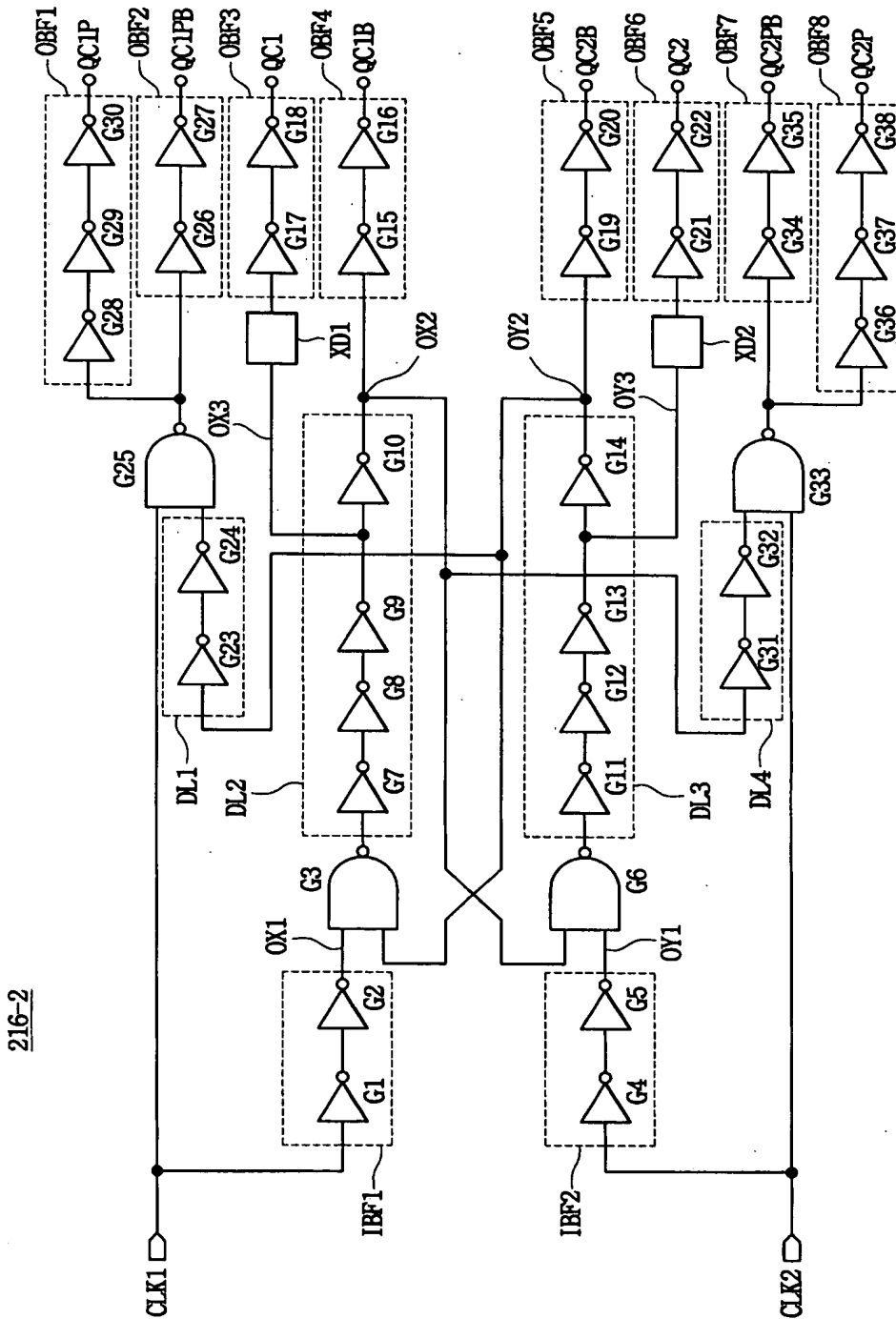
210



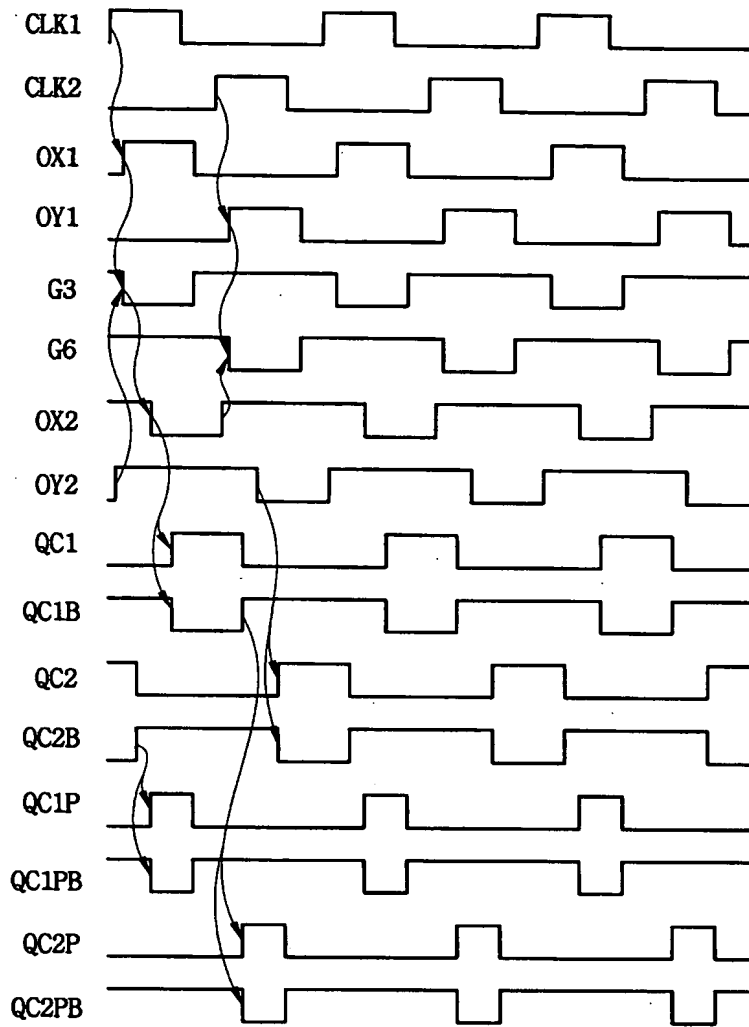
【도 15】



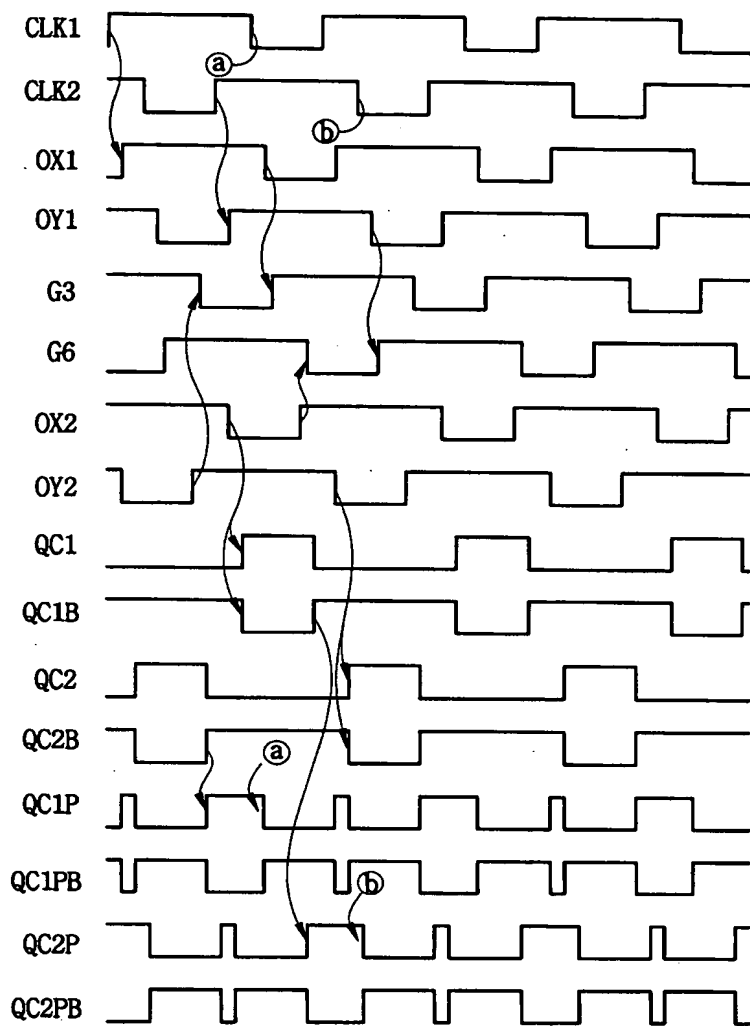
【도 16】



【도 17】



【도 18】



【도 19】

